

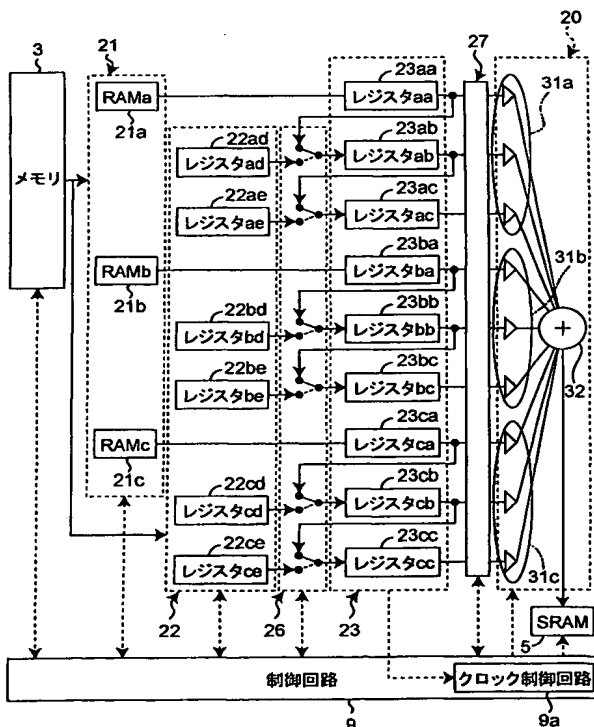


- (51) 国際特許分類: H04N 1/21, 1/41, 9/07, 5/76 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1 0 0 6 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP03/03688
- (22) 国際出願日: 2003 年 3 月 26 日 (26.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-87854 2002 年 3 月 27 日 (27.03.2002) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岡部 吉正 (OKABE, Yoshimasa) [JP/JP]; 〒576-0054 大阪府 交野市 幾野 3-1 9-5 Osaka (JP).
- (74) 代理人: 青山 葆, 外 (AOYAMA, Tamotsu et al.); 〒540-0001 大阪府 大阪市 中央区城見 1 丁目 3 番 7 号 1 MP ビル 青山特許事務所 Osaka (JP).

[続葉有]

(54) Title: IMAGE PROCESSING DEVICE AND IMAGE PROCESSING METHOD

(54) 発明の名称: 画像処理装置及び画像処理方法



3...MEMORY
22ad...REGISTER ad
22ae...REGISTER ae
22bd...REGISTER bd
22be...REGISTER be
22cd...REGISTER cd
22ce...REGISTER ce
23aa...REGISTER aa
23ab...REGISTER ab

23ac...REGISTER ac
23ba...REGISTER ba
23bb...REGISTER bb
23bc...REGISTER bc
23ca...REGISTER ca
23cb...REGISTER cb
23cc...REGISTER cc
9...CONTROL CIRCUIT
9a...CLOCK CONTROL CIRCUIT

(57) Abstract: An image processing device includes a calculation circuit (20) for generating an output pixel by calculating/processing adjacent pixels arranged in the matrix of M (horizontal direction) × N (vertical direction). A first temporary storage unit (21) stores the M-th pixel up to the last pixel in each horizontal direction pixel string of the image in such a manner that they can be read out. A second temporary storage unit (22) stores the first up to the (M-1)-th pixel in each horizontal direction pixel string of the image in such a manner that they can be read out. A third temporary storage unit (23) delays the image stored in the first temporary storage unit (21), is supplied with the pixels from the second temporary storage unit (22), and simultaneously outputs adjacent pixels arranged in the matrix of M (horizontal direction) × N (vertical direction).

(57) 要約: 画像処理装置は、水平方向にM個で垂直方向にN個の互いに隣接する画素を演算処理して出力画素を生成する演算回路20を備える。第1の一時記憶部21は、画像の各水平方向画素列の第M番目の画素から最後尾の画素までを、読み出し可能に記憶する。第2の一時記憶部22は、画像の各水平方向画素列の先頭の画素から第M-1番目の画素までを、読み出し可能に記憶する。第3の一時記憶部23は、第1の一時記憶部21に記憶された画素を遅延させると共に、前記第2の一時記憶部22から画素が入力され、水平方向にM個で垂直方向にN個の互いに隣接する画素を演算回路20に同時に出力する。





(81) 指定国 (国内): CA, CN, KR, US.

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

画像処理装置及び画像処理方法

技術分野

本発明は、画像処理装置及び画像処理方法に関する。特に、本発明はデジタルカメラやデジタルビデオのような携帯機器に適した画像処理装置及び画像処理方法に関する。

背景技術

デジタルカメラやデジタルビデオのような撮影装置では、撮像素子の出力信号をA/D変換して得られた生データ（RGBデータ）は、まずメモリに格納される。メモリに格納された生データは、画像処理回路によりYCデータに変換される。画像処理回路は、メモリから読み出した生データを書き込むための一時記憶回路と、一時記憶回路から読み出した複数画素の生データを使用して演算処理を行う演算回路とを備えている。図38は、変換処理のためにメモリから読み出した生データを一時記憶回路に書き込む順序の一例を示している。詳細には、1つの画像300内で水平方向画素列（ライン）毎に生データが順次読み出される。変換処理には、水平方向及び／又は垂直方向に隣接する複数の画素が必要となる。従って、図38に示す書き込み順序を採用する場合、一時記憶回路として、画像300の1ラインに含まれる画素を記憶可能な大容量のラインメモリが必要となり、画像処理回路は大規模になる。

特開2000-354193号公報には、図39に示すように画像300を複数のブロック（画像ブロック301）に分割し、画像ブロック301毎にメモリから生データを読み出して処理することが記載されている。この図39に示す読み出し方法を採用すれば、ラインメモリは画像ブロック301の1ラインに含まれる画素を記憶可能な記憶容量を有していればよい。このラインメモリの記憶容量低減により、画像処理回路の規模を縮小することができる。

発明の開示

しかし、図39に示すように1つの画像300を画像ブロック301に分割す

ると、ライン更新の頻度が増加する。また、1つの画像300を画像ブロック301に分割すると、画像ブロック301の更新が必要となる。例えば、画像300の垂直方向の画素数が1218個であり、かつ画像300に含まれる画像ブロック301の総数が476個であるとする、図38に示す処理におけるライン更新回数は1217回であるのに対し、図39に示す処理におけるライン更新回数は、1個の画像ブロック301のライン更新回数（65回）と画像ブロック301の総数（475個）の積である30875回に達する。

個々の画像ブロック301における生データの読み出しを、図39に示すように単にライン毎に行うと、ライン更新時及び画像ブロック更新時にメモリから一時記憶回路に読み出された生データに変換処理が不可能な組合せが生じる。一時記憶回路に記憶された生データが変換処理不可能な組合せである間、演算回路は有効な出力画素を生成することができず、単に一時記憶回路を構成するラインメモリやレジスタの値がシフトされる。

水平方向に3個、垂直方向に3個の画素を使用して変換処理を実行する場合を例とすると、ライン更新時には、少なくとも図40に示すように新しいラインの先頭から3個目の画素302を一時記憶回路に書き込むまで、変換処理を行うことができない。また、画像ブロック301の更新時には、少なくとも図41に示すように第3番目のラインの先頭から3個目の画素302を書き込むまで、変換処理を行うことができない。前述のように画像300を画像ブロック301に分割した場合、多数のライン更新及び画像ブロック更新が行われる。従って、このライン更新及び画像ブロック更新時の処理の時間的ロスは無視できない程度であり、処理速度を低下させ、消費電力を増大させる。

そこで、本発明は、ライン更新時及び画像更新時の処理ロスをなくし、それによって処理速度の向上と消費電力の低減を図ることを課題としている。

本発明の第1の態様は、画像を記憶する画像記憶部と、前記画像に含まれる水平方向にM個で垂直方向にN個の互いに隣接する画素を演算処理して出力画素を生成し、Mは2以上の整数で、Nは1以上の整数である演算部と、前記画像の各水平方向画素列の第M番目の画素から最後尾の画素までを、読み出し可能に記憶する第1の一時記憶部と、前記画像の各水平方向画素列の先頭の画素から第M-

1 番目の画素までを、読み出し可能に記憶する第 2 の一時記憶部と、前記第 1 の一時記憶部に記憶された画素を遅延させると共に、前記第 2 の一時記憶部から画素が入力され、前記水平方向に M 個で垂直方向に N 個の互いに隣接する画素を前記演算部に同時に出力する第 3 の一時記憶部とを備える、画像処理装置を提供する。

前記画像は、1 フレーム分の画像と、1 フレーム分の画像を分割した画像ブロックの両方を含む。

画像処理装置は、1 つの水平方向画素列の最後尾の出力画素の生成に使用される画素が前記第 3 の一時記憶部に記憶される前に、次の水平方向画素列の先頭の画素から第 M-1 番目の画素までを前記画像記憶部から読み出して前記第 2 の一時記憶部に書き込み、かつ前記 1 つの水平方向画素列に対応する最後尾の出力画素の生成に使用される画素が前記第 3 の一時記憶部から前記演算部に出力されると、前記次のラインの先頭の画素から第 M-1 番目の画素を前記第 2 の一時記憶部から読み出して前記第 3 の一時記憶部に書き込む、制御部をさらに備える。

ライン更新時、すなわち 1 つの水平方向画素列に対応する最後尾の出力画素が生成された後、次の水平方向画素列に対応する最初の出力画素を演算部が生成する時には、第 3 の一時記憶部に次の水平方向画素列の先頭の画素から第 M 番目の画素までがすでに記憶されている必要がある。本発明の第 1 の態様では、ライン更新前に、次の水平方向画素列の先頭の画素から第 M-1 番目の画素はライン更新前に第 2 の一時記憶手段に記憶され、かつ第 2 の一時記憶手段から第 3 の一時記憶手段に転送される。従って、ライン更新時であっても、第 3 の一時記憶手段は演算部に対して出力画素の生成に必要な有効な画素の組を出力することができる。換言すれば、ライン更新時の処理のロスを解消することができる。

また、前記 N は 2 以上の整数であり、前記制御部は、前記画像の第 1 番目から第 N 番目の水平方向画素列に属する画素に対して、垂直方向に並ぶ N 個の画素を前記画像記憶部から順次読み出して前記第 1 の一時記憶部又は前記第 2 の一時記憶部に書き込む操作を、読み出し位置を水平方向に移動しつつ繰り返すことが好ましい。

画像更新時、すなわち 1 つの画像中の最後の水平方向画素列に対応する最後尾

の出力画素が生成された後、次の画像中の最初の水平方向画素列に対応する出力画素が生成される時には、第3の一時記憶手段に次の画像の第1番目から第N番目の水平画素列に属する画素が記憶されている必要がある。画像の第1番目から第N番目の水平方向画素列を、前述のように読み出して第2及び第3の一時記憶部に書き込むことにより、画像更新時であっても、第3の一時記憶手段は演算部に対して出力画素の生成に必要な有効な画素の組を出力することができる。換言すれば、画像更新時の処理のロスを解消することができる。

さらに、前記演算部は単位時間毎に1個の出力画素を生成し、前記第1の一時記憶部はN個のRAMを備え、前記制御部は、書き込み中である前記RAMの前の書き込みアドレスが前回の読み出しアドレスの直前であれば、前記単位時間内に1個の画素を、前記画像記憶部から読み出して前記RAM又は前記第2の一時記憶部に書き込み、書き込み中である前記RAMの前の書き込みアドレスが前回の読み出しアドレスの直前より1つ以上前であれば、前記単位時間内に2個の画素を、前記画像記憶部から読み出して前記RAM及び／又は前記第3の一時記憶部に書き込むことが好ましい。

RAMの書き込みアドレスと読み出しアドレスをこのように制御することで、画像処理に不具合を生じることなく、RAMの記憶容量を効率的に利用することができる。

本発明の第2の態様は、画像記憶部に記憶された画像に含まれる水平方向にM個で垂直方向にN個の互いに隣接する画素を演算処理して出力画素を生成し、Mは2以上の整数で、Nは1以上の整数である、画像処理方法であって、前記画像記憶部から読み出し位置を水平方向に移動しつつ画素を読み出して第1の一時記憶部に書き込み、前記第1の一時記憶部から画素を読み出して、第3の一時記憶手段に書き込み、前記第3の一時記憶手段で遅延させて、前記水平方向にM個で垂直方向にN個の互いに隣接する画素を演算部に出力し、前記演算回路により前記M×N個の画素から出力画素を生成し、1つの水平方向画素列に対応する最後尾の出力画素の生成に使用される画素が前記第3の一時記憶部に記憶される前に、次の水平方向画素列の先頭の画素から第M-1番目の画素までを前記画像記憶部から読み出して第2の一時記憶部に書き込み、前記1つの水平方向画素列

に対応する最後尾の出力画素の生成に使用される画素が前記第3の一時記憶部から前記演算部に出力されると、前記第2の一時記憶部から前記次のラインの先頭の画素から第M-1番目の画素までを読み出して前記第3の一時記憶部に書き込む、画像処理方法を提供する。

本発明では、予め第2の一時記憶手段に記憶した各水平方向画素列の先頭の画素から先頭より第M-1番目の画素を記憶し、ライン更新前に読み出して第3の一時記憶手段に記憶させるので、ライン更新時の処理ロスをなくし、処理速度の向上と消費電力の低減を図ることができる。また、画像の第1番目から第N番目の水平画素列に属する複数の画素を、水平方向に読み出し位置を移動させつつ垂直方向に読み出すことで、画像更新時の処理ロスをなくし、処理速度の向上と消費電力の低減を図ることができる。さらに、第1の記憶手段であるRAMに対する画素の書き込み速度を、書き込みアドレスと読み出しアドレスの距離に応じて異ならせることにより、画像処理に不具合を生じることなく、RAMの記憶容量を効率的に利用することができる。

図面の簡単な説明

本発明の他の目的及び特徴は、添付図面を参照した好適な実施例に関する以下の説明により明らかとなる。

図1は、本発明の実施形態に係るYC処理回路を備えるデジタルカメラの画像処理システムを示すブロック図である。

図2は、図1の画像処理システムの動作を説明するためのフローチャートである。

図3は、YC処理回路を示す回路図である。

図4は、1フレーム分の画像を示す図である。

図5は、画素に対する座標の割り当てを示す図である。

図6は、画素データの構造を示す概略図である。

図7は、RAMを示す概略図である。

図8Aから図8Cは、出力画素の生成方法を説明するための図である。

図9は、画像ブロック中の各画素の画素データの書き込み先を説明するための

図である。

図10は、画像ブロック中での画素データの画素データの書き込み順序を示す図である。

図11は、出力画素の出力順序を示す図である。

図12は、YC処理回路の動作を説明するためのフローチャートである。

図13は、ステップS12-1のサブルーチンのフローチャートである。

図14は、第1及び第2の記憶部に対するロード方法の決定条件を示すテーブルである。

図15及び図16は、時刻 t から時刻 $t+143$ までのYC処理回路の動作を説明するためのテーブルである。

図17は、各画素の画素データがメモリからRAMへ転送される時刻を示す図である。

図18は、RAMに記憶された画素データが第3の一時記憶部に転送される時刻を示す図である。

図19は、各生成画素の生成時刻を示す図である。

図20は、時刻 t 直後に第1及び第2の一時記憶部に保持されている画素データを示す模式図である。

図21は、時刻 $t+1$ においてメモリからRAMへ画素データを読み出した後に第1及び第2の一時記憶部に保持されている画素データを示す模式図である。

図22は、時刻 $t+1$ における第3の一時記憶部のレジスタのシフト前に第3の一時記憶部に保持されている画素データを示す模式図である。

図23は、時刻 $t+1$ における第3の一時記憶部のレジスタのシフト後に第3の一時記憶部に保持されている画素データを示す模式図である。

図24は、時刻 $t+1$ においてRAMから第3の一時記憶部に1画素分ずつ画素データを転送した後に第3の一時記憶部に保持されている画素データを示す模式図である。

図25は、時刻 $t+1$ において出力画素を生成する際の第3の一時記憶部に保持されている画素データを示す模式図である。

図26は、時刻 $t+2$ 直後に第1及び第2の一時記憶部に保持されている画素

データを示す模式図である。

図 27 は、時刻 $t + 3$ においてメモリから RAM へ画素データを読み出した後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 28 は、第 2 の一時記憶部から第 3 の一時記憶部に画素データを転送した後に第 3 の一時記憶部に保持されている画素データを示す模式図である。

図 29 は、時刻 $t + 3$ において RAM から第 3 の一時記憶部に 1 画素分ずつ画素データを転送した後に第 3 の一時記憶部に保持されている画素データを示す模式図である。

図 30 は、時刻 $t + 3$ 直後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 31 は、時刻 $t + 4$ においてメモリから RAM へ画素データを読み出した後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 32 は、時刻 $t + 4$ において出力画素を生成した後に第 3 の一時記憶部に保持されている画素データを示す模式図である。

図 33 は、時刻 $t + 4$ 直後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 34 は、時刻 $t + 5$ においてメモリから RAM 及びレジスタへ画素データを読み出した後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 35 は、時刻 $t + 5$ において出力画素を生成した後に第 3 の一時記憶部に保持されている画素データを示す模式図である。

図 36 は、時刻 $t + 9$ 直後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 37 は、時刻 $t + 10$ においてメモリから RAM 及びレジスタへ画素データを読み出した後に第 1 及び第 2 の一時記憶部に保持されている画素データを示す模式図である。

図 38 は、1 フレーム分の画素データの書き込み順序を示す模式図である。

図 39 は、画像ブロック毎の画素データの書き込み順序を示す模式図である。

図 40 は、ライン更新時のロスを説明するための模式図である。

図41は、画像ブロック更新時のロスを説明するための模式図である。

発明を実施するための最良の形態

図1は本発明の実施形態に係る画像形成装置の実施形態であるYC処理回路4を備えるデジタルカメラの画像処理システム1を示し、図3はYC処理回路4の詳細を示している。この画像処理システム1は、CCD等を備える撮像回路2、DRAM等からなるメモリ3、YC処理回路4、SRAM5、解像度変換回路6、JPEG圧縮処理のような圧縮処理を行う圧縮処理回路7、ICカード等の記録媒体8、及び制御回路9を備えている。

この画像処理システム1の動作を図2を参照して説明すると、まず、ステップS2-1において撮像回路2で生成された生データ(RGBデータ)がメモリ3に書き込まれる。次に、ステップS2-2においてYC処理回路4がメモリ3から読み出した生データに基づいてYCデータを生成し、生成したYCデータをSRAM5に書き込む。ステップS2-3で解像度変化を行う場合には、ステップS2-4において解像度変換回路6がYCデータを解像度変換する。ステップS2-5において、解像度変換されたYCデータがSRAM5とメモリ3に書き込まれる。ステップS2-2において解像度変換を実行しない場合には、YC処理回路4で生成されたYCデータがSRAM5とメモリ3に書き込まれる。ステップS2-6において、圧縮処理回路7がSRAM5に記憶されたYCデータに圧縮処理を行う。圧縮処理で作成された圧縮データはメモリ3に書き込まれる。ステップS2-7において、メモリ3内の圧縮データが記録媒体8に書き込まれる。

本実施形態では、図4に示すように、メモリ3に記憶されている生データは、水平方向に1602個で垂直方向に1218個の画素で1フレーム分の画像11を構成している。以下の説明では、図5に示すように各画素12の画像11上の位置をX座標とY座標で表記する。例えば、(67, 2)と表記された画素12は画像11の左端から67番目で上端から2番目の画素である。また、以下の説明において、水平方向画素列を必要に応じてラインと呼ぶ。

また、YC処理回路4は、図4及び図5に示すように、1フレーム分の画像11を、水平方向及び垂直方向に隣接する66個の画素12からなる画像ブロック

13に分割して処理する。後述するように、演算回路20は水平方向及び垂直方向に3個の互いに隣接する9個の画素12の画素データから出力画素のYCデータを生成する。従って、水平方向に隣接する2つの画像ブロック13の境界に位置する水平方向の2個の画素12が、両方の画像ブロック13の処理に使用される。同様に、垂直方向に隣接する2つの画像ブロック13の境界に位置する垂直方向に2個の画素12が両方の画像ブロック13の処理に使用される。1フレーム分の画像11には水平方向に25個、垂直方向に19個で、合計475個の画像ブロック13が含まれている。

図6に示すように、各画素12の生データ（以下、画素データという。）は、画素データ部14aの付随情報として偶奇ビット14bと有効ビット14cを備えている。偶奇ビット14bは、その画素12が偶数番目のラインに属するの、奇数番目のラインに属するのを示す。有効ビット14cは、その画素12の画素データ部14aが有効なデータであるか否かを示す。

図3を参照すると、YC処理回路4は、メモリ3に記憶された画素12の生データを演算処理する演算回路20と、メモリ3に記憶された画素12の画素データを演算可能な組合せで出力するための、第1の一時記憶部21、第2の一時記憶部22、第3の一時記憶部23、第1の選択部26、及び第2の選択部27を備えている。

演算回路20は、図8Aから図8Cに示すように、水平方向に3個で垂直方向に3個の互いに隣接する9個の画素12の画素データに対して重み付け加算を実行する。例えば、図8Aに示すように、(1, 1)から(3, 3)までの9個の画素12の重み付け加算により、(1, 1)の出力画素が得られる。演算回路20は、この重み付け加算を実行するために、乗算器31a, 31b, 31cと、これらの乗算器31a~31cの出力を合計する加算器32とを備えている。演算回路20は単位時間毎に1個の出力画素を生成する。

第1の一時記憶部21は、それぞれメモリ3から読み出された画素データを記憶する3個のRAM21a, 21b, 21cを備えている。後に詳述するように、これら3個のRAM21a~21cには各画像ブロック13中の各ラインの先頭から第3番目の画素12から最後尾（第66番目）の画素12の画素データが記

憶記憶される。図7に示すように、各RAM21a～21cは1番から64番までのアドレス33を備え、各アドレス33に1画素分の画素データを読み書き可能に記憶することができる。

第2の一時記憶部22は、それぞれ1個の画素12の生データを記憶する6個のレジスタ22ad, 22ae, 22bd, 22be, 22cd, 22ceを備えている。後に詳述するように、これらの6個のレジスタ22ad～22ceは各画像ブロック13中の各ラインの先頭（第1番目）の画素12から第2番目の画素12までを記憶するためのものである。レジスタ22ad, 22aeが第1の一時記憶部21のRAM21aに対応している。また、レジスタ22bd, 22beがRAM21bに対応している。さらに、レジスタ22cd, 22ceがRAM21cに対応している。

第3の一時記憶部23は、それぞれ1個の画素12の画素データを記憶する9個のレジスタ23aa, 23ab, 23ac, 23ba, 23bb, 23bc, 23ca, 23cb, 23ccを備えている。レジスタ23aa～23bbが第1の一時記憶部21のRAM21aに対応している。また、レジスタ23ba～23bcがRAM21bに対応している。さらに、レジスタ23ca～23ccがRAM21cに対応している。

第1の選択部26は、実線で示す上位置と、点線で示す下位置とに切り替え可能である。第1の選択部26が上位置にある時には、レジスタ23aa～23ccが3個ずつ直列に接続される。具体的には、レジスタ23aa～23ac、レジスタ23ba～23bc、及びレジスタ23ca～23cbが直列に接続される。従って、第1の選択部26が上位置にある時には、第3の一時記憶部23のレジスタ23aa～23ac、レジスタ23ba～23bc、及びレジスタ23ca～23cbは、それぞれRAM21a～21cからの出力を遅延させて第2の選択部27を介して演算回路20に出力する。

第1の選択部26が下位置にある時には、第3の一時記憶部23は第2の一時記憶部22に接続される。具体的には、第2の一時記憶部22のレジスタ22ad, 22aeが第3の一時記憶部23のレジスタ23ab, 23acに接続される。また、第2の一時記憶部22のレジスタ22bd, 22beが第3の一時記

憶部 2 3 のレジスタ 2 3 b b, 2 3 b c に記憶される。さらに、第 2 の一時記憶部 2 2 のレジスタ 2 2 c d, 2 2 c e が第 3 の一時記憶部 2 3 のレジスタ 2 3 c b, 2 3 c c に接続される。従って、第 1 の選択部 2 6 が下位置に切り替えられると、第 3 の一時記憶部 2 3 のレジスタ 2 3 a b, 2 3 a c、レジスタ 2 3 b b, 2 3 b c、及びレジスタ 2 3 c b, 2 3 c c に対して、第 2 の一時記憶部 2 2 のレジスタ 2 2 a d, 2 2 a e、レジスタ 2 2 b d, 2 2 b e、及びレジスタ 2 2 c d, 2 2 c e から画素データが出力される。

第 2 の選択部 2 7 は、最新のラインの画素データを演算回路 2 0 の乗算器 3 1 a に入力し、最新のラインの 1 つ前のラインの画素データを乗算器 3 1 b に入力し、かつ最新のラインの 2 つ前のラインの画素データを乗算器 3 1 c に入力するように、第 3 の一時記憶部 2 3 と演算回路 2 0 との接続を切り替える機能を有する。

制御回路 9 は、メモリ 9、RAM 2 1 a ~ 2 1 c、レジスタ 2 2 a d ~ 2 2 c e、レジスタ 2 3 a a ~ 2 3 c c、第 1 の選択部 2 6、及び第 2 の選択部 2 7 を制御し、それによってメモリ 9 から第 1 の一時記憶部 2 1 及び第 2 の一時記憶部 2 2 への画素データの転送、第 1 の一時記憶部 2 1 及び第 2 の一時記憶部 2 2 から第 3 の一時記憶部 2 3 への画素データの転送、及び第 3 の一時記憶部 2 3 から演算回路 2 0 への画素データの転送を実行する。また、制御回路 9 は演算回路 2 0 を制御して演算処理と生成された画素データの S R A M 5 への転送を実行する。

また、制御回路 9 のクロック制御部 9 a には、第 3 の一時記憶部 2 3 を介して画素データが入力される。クロック制御部 9 a は、偶奇ビット 1 4 b 及び有効ビット 1 4 c に基づいて、第 3 の一時記憶部 2 3 に記憶された画素データにより演算回路 2 0 が有効な出力画素を生成可能であるか否かを判断する。第 3 の一時記憶部 2 3 に記憶された画素データにより演算回路 2 0 が有効な出力画素を生成可能でないと判断した場合、クロック制御部 9 a は演算回路 2 0 に対するクロック信号の供給を停止し、演算回路 2 0 による演算処理を禁止する。これにより無効な画素データが入力された時に、演算回路 2 0 が無駄に電力を消費するのを防止している。

次に、Y C 処理回路 4 は、1 フレーム分の画像 1 1 を、水平方向及び垂直方向

に隣接する66個の画素12からなる合計475個の画像ブロック13に分割して処理する。画像ブロック13の処理順序は、図4において矢印Aで示す通りである。詳細には、画像11の左上隅の画像ブロック13から処理を開始し、ライン毎に画像ブロック13の処理を順次実行する。

各画像ブロック13に対してYC処理回路4により実行される処理は、3つの段階に大別することができる。第1の段階では、メモリ3から読み出された画素データが第1の一時記憶部21又は第2の一時記憶部22に書き込まれる。第2の段階では、第1の一時記憶部21又は第2の一時記憶部22から読み出された画素データが第3の一時記憶部23に書き込まれる。第3の段階では第3の一時記憶部23から読み出された画素データに基づいて、演算回路20が出力画素を生成する。後に詳述するように、本実施形態では、第2の段階において、第2の一時記憶部22を設けることでライン更新時の時間的ロスを解消している。

第1の段階におけるメモリ3から読み出された画素データの書き込み先は、図9に示す通りである。詳細には、各ラインの先頭の2画素、すなわち第1番目から第2番目の画素12の画素データは、第2の一時記憶部22に書き込まれる。一方、各ラインの第3番目から最後（第66番目）までの画素12の画素データは、第1の一時記憶部21に書き込まれる。

第1の段階において、各画像ブロック13に属する画素12の画素データをメモリ3から読み出して第1の一時記憶部21又は第2の一時記憶部22に書き込む順序は、図10に示す通りである。詳細には、画像ブロック13内の第4番目から第66番目のラインについては、矢印Bで示すように、各ライン毎に水平方向に1画素移動しつつ第1の一時記憶部21又は第2の一時記憶部22に画素データが書き込まれる。一方、画像ブロック13内の第1番目から第3番目のラインについては、矢印Cで示すように、垂直方向に並ぶ3個の画素12をメモリ3から順次読み出して第1の一時記憶部21又は第2の一時記憶部22に書き込む操作が、読み出し位置を水平方向に移動しつつ繰り返される。後に詳述するように、本実施形態では、各画像ブロック13の処理開始時に、水平方向ではなく垂直方向に画素データの読み出すことで、画像ブロック更新時の時間的ロスを解消している。

第1の段階において、メモリ3から画素データを読み出して、対応するRAM 21a～21cに書き込む順序は、図7において矢印Dに示すようにRAM 21a～21cのアドレス33を水平方向に移動する。

第2の段階において第1の一時記憶部21のRAM 21a, 21b, 21cから画素データを読み出して、第3の一時記憶部23の対応するレジスタ23aa, 23ba, 23caに書き込む順序は、図7において矢印Dに示すようにRAM 21a～21cのアドレス33を水平方向に移動する。

ここで図7を参照して、第1の一時記憶部21のRAM 21a～21cにおける読み出しポイントと書き込みポイントの関係を説明する。前述のようにRAM 21a～21cの番地は1番から64番までである。読み出しポイントとは、画素データを読み出したRAM 21a～21cのアドレスである。また、書き込みポイントとはメモリ3から新たに読み出した画素データを書き込んだRAMのアドレスである。

各RAM 21a～21cにおいて、今回の書き込みポイントが前回の読み出しポイントを追い越すことはできない。例えば、図7に示すように前回の読み出しポイントが61番である場合、書き込みポイントは60番より前である必要がある。その理由は、今回の書き込みポイントが前回の読み出しポイントを追い越すということは、RAM 21a～21cに記憶されている画素データの内、未だ出力画素の生成に使用されていない画素データが記憶されているアドレス33に対して、メモリ3から読み出された新たな画素データを上書きすることになるからである。

書き込みポイントは、読み出しポイントを追い越さない限り、読み出しポイントから遅れてもよい。例えば、図7に示すように読み出しポイントが61番である場合、書き込みポイントは60番より前であればよい。しかし、書き込みポイントが読み出しポイントに近付いていることが好ましい。理想的には、書き込みポイントが読み出しポイントの直前であることが好ましい。例えば、図7に示すように、読み出しポイントが61番である場合、書き込みポイントが60番であることが理想的である。書き込みポイントが読み出しポイントの直前であるということは、RAM 21a～21cのあるアドレス33から画素データが第3の一時

記憶部 23 に出力されると、直ぐにそのアドレス 33 に対してメモリ 3 から読み出された新たな画素データが上書きされる状態であることを意味する。この状態では、書き込みポイントが読み込みポイントに対して遅れることができる余地が最大であり、RAM 21a ~ 21c の記憶容量が最も効率的に利用されている。

メモリ 3 から画素データを読み出して第 1 の一時記憶部 21 の RAM 21a ~ 21c や第 2 の一時記憶部 22 のレジスタ 22ad ~ 22ce に書き込む速度は、前記の書き込みポイントと読み出しポイントに関する条件に基づいて決定される。具体的には、書き込み中である RAM の前回の書き込みポイントが前回の読み出しポイントの直前の場合には、単位時間内に RAM 21a ~ 21c 及びレジスタ 22ad ~ 22ce のいずれか 1 個に 1 個の画素 12 の画素データが書き込まれる。一方、書き込み中である RAM の前回の書き込みポイントが前回の読み込みポイントの直前でない場合には、RAM 21a ~ 21c のいずれか 2 個、又は RAM 21a ~ 21c のいずれか 1 個とレジスタ 22ad ~ 22ce のいずれか 1 個に対して、単位時間内にメモリ 3 から読み出された画素データが書き込まれる。

以上のような各 RAM 21a ~ 21c におけるアドレス管理と、RAM 21a ~ 21c 及びレジスタ 22ad ~ 22ce に対する単位時間当たりの画素数の書き込み速度の調整は制御回路 9 により実行される。

第 3 の段階において、演算回路 20 が出力画素を生成して SRAM 5 に出力する順序は、図 11 に示す通りである。詳細には、矢印 E で示すように、各画像ブロック 13 毎に水平方向に 1 画素移動しつつ出力画素が生成される。演算処理回路 21 は、水平方向及び垂直方向に 3 個の隣接する画素 12 から出力画素を生成するので、出力画素の画素ブロック 12' に含まれる画素数は、メモリ 3 に記憶された画像 11 の画素ブロック 12 (図 4 参照) の画素数から減少している。詳細には、出力画素の画素ブロック 12' には、水平方向及び垂直方向に 64 個で合計 4096 個の出力画素が含まれる。

次に、YC 処理回路 4 の動作を説明する。図 12 のフローチャートは単位時間毎の YC 処理回路 4 の動作を示している。制御回路 9 によりこの動作が実行される。図 12 において、ステップ S12-1 が前述の第 1 の段階、ステップ S12-2 から S12-5、及びステップ S12-7, 12-8 が第 2 の段階、ステッ

プ S 1 2 - 6 が第 3 の段階にそれぞれ対応している。前述のように単位時間毎に演算回路 2 0 が 1 個の出力画素を生成する。

図 1 2 のステップ S 1 2 - 1 において、メモリ 3 からの画素データの読み出し方法が決定され、決定された読み出し方法に基づいて画素データの読み出しが実行される。詳細には、読み出し速度、読み出した画素データの書き込み先、及び読み出し方向が決定される。

図 1 3 を参照すると、まずステップ S 1 3 - 1 において、書き込み中の RAM 2 1 a ~ 2 1 b の前回の書き込みポイントが前回の読み出しポイントの直前であるか否かが判断される（条件 1）。直前であれば、ステップ S 1 3 - 2 において単位時間内の読み出し画素数は 1 個に決定され、直前でない場合にはステップ S 1 3 - 3 において単位時間内の読み出し画素数は 2 個に決定される。このように書き込みポイントと読み出しポイントの距離に基づいて、読み出し速度が決定される。

次に、ステップ S 1 3 - 4 において、第 2 の一時記憶部 2 2 のレジスタ 2 2 a d ~ 2 2 c e に次のラインの最初の出力画素の生成に必要な画素データが記憶されているか否かが判断される（条件 2）。当該画素データが記憶されている場合には、ステップ S 1 3 - 5 において、メモリ 3 から読み出された画素データは第 1 の一時記憶部 2 1 の RAM 2 1 a ~ 2 1 c に書き込まれる。一方、当該画素データが記憶されていない場合には、ステップ S 1 3 - 6 において、メモリ 3 から読み出された画素データは、第 2 の一時記憶部 2 2 のレジスタ 2 2 a d ~ 2 2 c e に書き込まれ、又はレジスタ 2 2 a d ~ 2 2 c e と第 1 の一時記憶部 2 1 の RAM 2 1 a ~ 2 1 c に書き込まれる。このように第 2 の一時記憶部 2 2 の記憶される画素データに基づいて、画素データの書き込み先が決定される。

続いて、ステップ S 1 3 - 7 において、前回にメモリ 3 から読み出し、第 1 の一時記憶部 2 1 の RAM 2 1 a ~ 2 1 c 及び／又は第 2 の一時記憶部 2 2 のレジスタ 2 2 a d ~ 2 2 c e に書き込んだ画素データが、画像ブロック 1 3 の最初の 3 行のラインに属する画素であるか否かが判断される（条件 3）。当該画素データが最初の 3 行のラインに属する場合には、ステップ S 1 3 - 8 において読み出し方向は水平方向に決定される。一方、当該画素データが最初の 3 行のラインに

属さない場合には、ステップS 1 3－9において読み出し方向は垂直は方向に決定される。このように読み出し中の画素1 2が画像ブロックの最初のラインの画素であるか否かに基づいて、読み出し方向が決定される。

図1 4は、条件1、2、及び3と読み出し方法、すなわちロード方法の関係を示している。読み出し速度、書き込み先、及び読み出し方向（ロード方向）がそれぞれ2種類存在するので、合計8種類のロード方法A～Hが存在する。例えば、書き込み中のRAM2 1 a～2 1 cの前の書き込みポイントが前の読み出しポイントの直前であり（条件1）、第2の一時記憶部2 2に次ラインの最初の出力画素の生成に必要な画素が記憶され（条件2）、かつ前回メモリ3からRAM2 1 a～2 1 c等へ書き込んだ画素1 2が画像ブロック1 3の最初の3行のラインの画素1 2でない場合（条件3）、ロード方法Aが採用されてメモリ3からRAM2 1 a～2 1 cに対して1個の画素1 2の画素データが水平方向にロードされる。

ステップS 1 2－1においてメモリ3からの読み出しを実行した後、ステップS 1 2－2において、前回生成した出力画素が画像ブロック1 3'中のラインの最後尾の出力画素であるか否か、すなわちライン更新時であるか否かが判断される。当該出力画素がラインの最後尾の画素である場合、すなわちライン更新時でない場合には、ステップS 1 2－7に移行する。一方、ライン更新時である場合には、ステップS 1 2－3に移行する。

ライン更新時でない場合はステップS 1 2－7及びS 1 2－8が実行される。まず、ステップS 1 2－7において、第3の一時記憶部2 2の画素データを1つシフトする。例えば、レジスタ2 2 a a～2 2 a cについては、レジスタ2 2 a aの画素データがレジスタ2 2 a bにシフトされ、レジスタ2 2 a bの画素データがレジスタ2 2 a cにシフトされる。次に、ステップS 1 2－8において、第1の一時記憶部2 1に記憶された画素データを読み出して、第3の一時記憶部2 3に記憶させる。詳細には、RAM2 1 a～2 1 cから画素データを読み出し、レジスタ2 3 a a, 2 3 b a, 2 3 c aに書き込む。

次に、ステップS 1 2－6において、第3の一時記憶部2 3に記憶された画素データが第2の選択部2 7を介して演算回路2 0に出力される。詳細には、第3

の一時記憶部 23 が備える 9 個のレジスタ 23 a a ~ 23 c c から演算回路 20 の乗算器 31 a ~ 31 c に画素データが出力される。演算回路 20 は入力された画素データから出力画素を生成する。

ライン更新時はステップ S 12-3 からステップ S 12-5 が実行される。まず、ステップ S 12-3 では、第 1 の選択部 26 を下位置に切り替えて、第 2 の一時記憶部 22 に記憶された画素データを読み出し、第 3 の一時記憶部 23 に記憶させる。詳細には、レジスタ 22 a d, 22 a e からレジスタ 23 a b, 23 a c へ、レジスタ 22 b d, 33 b e からレジスタ 23 b b, 23 b c へ、又はレジスタ 22 c d, 22 c e からレジスタ 23 c b, 23 c c へ、画像データが出力される。次に、ステップ S 12-4 で第 1 の一時記憶部 21 に記憶された画素データを読み出し、第 3 の一時記憶部 23 に記憶させる。詳細には、RAM 21 a ~ 21 c から画素データを読み出し、レジスタ 23 a a, 23 b a, 23 c a に書き込む。次に、ステップ S 12-5 で第 2 の選択部 27 を切り替える。第 2 の選択部 27 は、最新のラインの画素データを演算回路 20 の乗算器 31 a に入力し、最新のラインの 1 つ前のラインの画素データを乗算器 31 b に入力し、かつ最新のラインの 2 つ前のラインの画素データを乗算器 31 c に入力するように切り替えられる。その後、ステップ S 12-6 において、第 3 の一時記憶部 23 に記憶された画素データを第 2 の選択部 27 を介して演算回路 20 に出力し、演算回路 20 は入力された画素データから出力画素を生成する。

図 15 から図 19 は、YC 処理回路 4 が図 12 のフローチャートの処理を単位時間間隔で繰り返して、メモリ 3 内に記憶された画素データに対して YC 処理を実行した例である。

まず、図 15 及び図 16 は、1 フレームの画像の (62, 63) の出力画素が生成される時刻 t から時刻 $t+143$ までの各時刻における YC 処理回路 4 の動作状態を示している。図 15 及び図 16 において、項目 1 はメモリ 3 から RAM 21 a ~ 21 c やレジスタ 22 a d ~ 22 c e への画素データのロード方法を示している。項目 2 はメモリ 3 から読み出した画素データの書き込み先を示している。項目 3 はメモリ 3 から RAM 21 a ~ 21 c 等へ書き込む画素である。項目 2 及び項目 3 は、単位時間に 2 個の画素 12 の画素データを読み出す場合の、画

素データの書き込み先と読み出される画素である。項目6及び項目7は、その時刻のRAM21a～21bの読み出しポイント及び書き込みポイント（図7参照）である。項目8は第1の選択部26の切替状態である。項目9は出力画素である。

図17は、図12のステップS12-1の処理により、画素データがメモリ3から読み出され、第1の記憶部21のRAM21a～21c又は第2の一時記憶部22のレジスタ22ad～22ceに書き込まれる時刻を示している。また、図18は、図12のステップS12-4、S12-8の処理により、画素データがRAM21a～21cから読み出され、第3の一時記憶部23のレジスタ23aa, 23ba, 23caに書き込まれる時刻を示している。さらに、図19は、図12のステップS12-6の処理により、出力画素が生成される時刻を示している。これら図17から図19では、画素12を示すブロック内の数字が時刻を示している。例えば、図17において(65, 1)の画素12に表示された数字“4”は、この画素が時刻4にメモリ3から読み出されることを示している。また、図17から図19は、1番目の画像ブロック13a, 13a'（図4及び図11参照）に属する(63, 63)の出力画素が生成される時刻1から、2番目の画像ブロック13b, 13b'に属する(78, 2)の出力画素が生成される時刻144までを示している。図17から図19において、ブロック内の数字が時刻を示している。図17から図19における各画素の時刻は、図15及び図16においてtが0である場合に対応している。

図18に示すように、第1の一時記憶部21の各RAM21a～21cから第3の一時記憶部23への画素データの書き込みは、単に水平方向に1画素ずつ進行する。また、図19に示すように、演算回路20により出力画素の生成も水平方向に1画素ずつ進行する。これに対し、メモリ3から第1の一時記憶部21の各RAM21a～21c、又は第2の一時記憶部22のレジスタ22ad～22ceへの画素データの書き込み（図12のステップS12-1）は、図13及び図14に従って実行されるので、図17に示すように読み出し方向が変化し、読み出し速度や、読み出し先も変化する。

図13のステップS13-4からステップS13-6、及び図14における条

件2により、第2の一時記憶部22に次のラインの最初の出力画素の生成に必要な画素が記憶されていない場合には、第2の一時記憶部22のレジスタ22a d～22c eに次のラインの先頭の画素12から第2番目の画素12の画素データが記憶される。例えば、図15から図17において、時刻4～9、時刻68、69、132、及び133では、メモリ3から読み出したラインの第1番目又は第2番目の画素12の画素データを、そのラインに対応するRAM20a～20cではなく、レジスタ22a d～22c eを書き込んでいる。そして、レジスタ22a d～22c eに記憶された画素データは、図12のステップS12-2においてライン更新時であれば、ステップS12-3において第3の一時記憶部23に書き込まれる。第2の一時記憶部22から第3の一時記憶部23に書き込まれた画素データは、ステップS12-4において第1の一時記憶部21から第3の一時記憶部23に書き込まれた次ラインの第3番目の画素と共に、ステップS12-6において演算回路20に出力され、演算回路20に出力画素の生成に必要なすべての画素データが供給される。このように第1の一時記憶部21のRAM21a～RAM21bとは別に第2の一時記憶部22を設け、ライン更新よりも前に、次のラインの第1番目と第2番目の画素の画素データを第2の一時記憶部22に予め記憶させておくことにより、ライン更新時の時間的ロスを解消することができる。

図13のステップS13-7、及び図14における条件3に基づいて、メモリ3から第1の一時記憶部21及び第2の一時記憶部22への画素データの読み出す方向が変更される。ステップS13-7において、前回にメモリ3から第1の一時記憶部21又は第2の一時記憶部22に書き込んだ画素データが最初の3行以内のラインの画素12の画素データでない場合、次ラインの生成に必要な画素データのうち2行のライン分の画素データはRAM21a～21cに既に記憶されている。従って、この場合は読み出し方向を水平に維持しても、画像ブロック更新時のロスは生じない。しかし、ステップS13-7において、前回にメモリ3から第1の一時記憶部21又は第2の一時記憶部22に書き込んだ画素データが最初の3行以内のラインの画素12の画素データの場合、次ラインの生成は次の画像ブロック13の行についての生成であり、次ラインの生成に必要な画素は

未だまったくRAM21a～21bに記憶されていない。従って、読み出し方向が水平のままであると画像ブロック更新時のロスが発生する。そこで、この場合には読み出し方向を垂直方向に変更する。このように画像ブロック13の最初の3行以内のラインで読み出し方向を垂直とすることにより、前の画像ブロック13の最後の出力画素の生成後、直ちに次の画像ブロック13の最初の出力画素を生成することができ、画像ブロック更新時の時間的ロスを低減することができる。例えば、図19に示すように、第1の画像ブロック13a'（図11参照）の最後の出力画素（64，64）が時刻66に生成され、その直後の時刻67に第2の画像ブロック13b'の最初の出力画素（65，1）が生成されている。これは図17に示すように、時刻4以降に第2の画像ブロック13b'の最初の3行のラインに属する画素12の画素データを垂直方向に読み出したことにより可能となっている。

図13のステップS13-1からステップS13-3、及び図14における条件1により、RAM21a～21cの書き込みポイントと読み出しポイントの距離に応じて、メモリ3から画素データを読み出してRAM21a～21c又はレジスタ22a.d～22c.eへ書き込む速度が、単位時間当たり1画素と2画素に変更される。図13のステップS13-1において読み出しポイントが書き込みポイントの直前の場合には、前述のようにRAM21a～21cの記憶容量が最も効率的に利用されている理想的な状態である。従って、これ以上読み出しポイントが書き込みポイントに接近しないように、単位時間当たりに1画素（演算回路20の出力画素生成速度と同じ速度）でメモリ3からRAM21a～21cに画素データを読み出す。一方、図13のステップS13-1において読み出しポイントが書き込みポイントの直前でない場合には、書き込みポイントは読み出しポイントから遅れているので、書き込みポイントが読み出しポイントに追いつくように、単位時間当たりに2画素（演算回路20の出力画素生成速度の2倍の速度）でメモリ3からRAM21a～21cに画素データを読み出す。画像ブロック13は水平方向に66個の画素を備えるのに対し、RAM21a～21cはそれよりも少ない64個のアドレス33を有する。しかし、書き込みポイントが読み出しポイントを追い越すことなく、かつ書き込みポイントが読み出しポイント

に近付くようにRAM21a～21cへの書き込み速度を制御することで、RAM21a～21cの記憶容量が効率的に利用し、それによつて前述のライン更新時や画像ブロック更新時に時間的ロスが生じない処理を実現することができる。

次に、図12、及び図20から図37を参照して、図15の時刻 $t+1$ から時刻 $t+10$ （図17から図19の時刻1から時刻11）までの間のYC処理回路4の動作を詳細に説明する。

図20は図12のステップS12-1の直前に第1の一時記憶部21のRAM21a～21c及び第2の一時記憶部22のレジスタ22ad～22ceに記憶されている画素データを示している。RAM21aには画素(3, 64)～(6, 64)の画素データが保持されている。また、RAM21bには画素(3, 65)～(6, 65)の画素データの画素データが保持されている。さらに、RAM21cには画素(64, 63)～(66, 63)、及び画素(3, 66)～(63, 66)の画素データの画素データが保持されている。レジスタ22ad～22ceには、6個の画素(1, 64)～(2, 66)の画素データが保持されている。

図12のステップS12-1において、画素(64, 63)の画素データを記憶しているRAM21cのアドレス33に対して、メモリ3から読み出された画素(64, 66)の画素データが上書きされる。図21はこの上書き後にRAM21a～21c及びレジスタ22ad～22ceに保持されている画素データを示している。

この上書きは図14により決定されている。まず、条件1については、書込中のRAM21cの前回の書き込みポイントは画素(63, 66)を記憶するアドレスであり、前回の読み出しポイントは画素(64, 63)を記憶するアドレスであるため、書き込みポイントは読み出しポイントの直前にある。条件2については、第2の一時記憶部22には次ライン（第64行）の生成に必要な画素(1, 64)～(2, 66)は既に記憶されている。条件3については、メモリ3から読み出す画素(64, 66)は画像ブロック13の最初の3行内の画素ではない。従って、ロード方法Aが選択され、画素(64, 66)の画素データをメモリ3から読み出して、RAM21cに書き込んでいる。なお、画素(64, 66)の

データを上書きすることにより、画素（64，63）のデータはRAM21cから消去されるが、この画素（64，63）は再度出力画素生成に使用することはないので、不都合はない。

図22は、時刻 $t+1$ のステップS12-1において画素（64，66）の画素データをメモリ3からRAM21cに書き込んだ直後、すなわち第3の一時記憶手段23をシフトする直前の第3の一時記憶手段23に保持されている画素データの状態を示している。レジスタ23aa～23acには画素（62，64）～（64，64）が保持され、レジスタ23ba～23bcには画素（62，65）～（64，65）が保持され、レジスタ23ca～23ccには画素（62，63）～（64，63）が保持されている。演算回路20は、時刻 t において、これらの9画素の画素データから画素（62，63）を新たに生成して出力している。

図23は、時刻 $t+1$ のステップS12-7において第3の一時記憶部23をシフトした直後に第3の一時記憶手段23に保持されている画素データの状態を示している。前回（時刻 t ）において生成した画素（62，63）は、画像ブロック13のライン（63行）の最後尾の画素（64，63）には該当しない（ステップS12-2）。従って、ステップS12-8で第3の一時記憶部23の値をシフトする。具体的には、レジスタ23abの画素データをレジスタ23acにシフトし、レジスタ23aaの画素データをレジスタ23abにシフトして書き換える。同様に他のレジスタ23bb、23bc、23cb、23ccの画素データも書き換える。

図24は、時刻 $t+1$ のステップS12-8直後に第3の一時記憶部23に保持されている画素データの状態を示している。ステップS12-8では、RAM21cから画素（65，63）を読み出してレジスタ23caに書き込み、RAM21aから画素（65，64）を読み出してレジスタ23aaに書き込み、RAM21bから画素（65，64）を読み出してレジスタ23baに書き込む。ステップS12-7で6個の画素（63，64）～（64，65）が既に第3の一時記憶部23に記憶済みであるので、9個の画素（63，64）～（65，65）が第3の一時記憶部23に記憶されたことになる。画素（65，63）の画

素データをRAM21cから読み出すのはこれが最後なので、以後画素(65, 63)の画素データをRAM21cに記憶しておく必要はない。すなわち、画素(65, 63)の画素データを上書きによって消去しても以後の画像処理上支障をきたすことはない。

図25は、時刻 $t+1$ において生成される出力画素と、第3の一時記憶部23に保持されている画素データの状態、すなわちステップS12-6の直後の状態を示している。ステップS12-6では、第3の一時記憶部23に記憶されている9個の画素(63, 65)～(65, 65)の画素データを第2の選択部27を介して演算回路20に入力し、演算回路20で出力画素(63, 63)を生成する。レジスタ23aa～23acには64行目の画素が記憶され、レジスタ23ba～23bcには65行目の画素が記憶され、レジスタ23ca～23ccには63行目の画素が記憶されている。従って、第2の選択部22は、レジスタ23aa～23acを乗算器31bに接続し、レジスタ23ba～23bcを乗算器31cに接続し、レジスタ23ca～23ccを乗算器31cに接続する。

時刻 $t+2$ における動作は、時刻 $t+1$ における動作と同様である。図26は、時刻 $t+2$ において画素(64, 63)を生成した直後の画素データの保持状態、すなわち時刻 $t+3$ におけるステップS12-1直前の状態を示している。RAM21aには画素(3, 64)～(66, 64)の画素データが保持され、RAM21bには画素(3, 65)～(66, 65)の画素データが保持され、RAM21cには画素(66, 63)～(66, 63)及び画素(3, 66)～(65, 66)の画素データが保持されている。また、第2の一時記憶部22には6個の画素(1, 64)～(2, 66)の画素データが保持されている。

図27は、時刻 $t+3$ におけるステップS12-1直後の第1の一時記憶部21及び第2の一時記憶部22に保持されている画素データの状態を示している。ステップS12-1では、条件1～3の判定結果に基づいて、画素(66, 63)の画素データを記憶していたRAM21cの記憶領域に対して、メモリ3から読み出された画素(66, 66)の画素データが上書きされる。

図28は、時刻 $t+3$ のステップS12-3において第2の一時記憶部22に記憶されている6個の画素(1, 64)～(2, 66)を読み出して第3の一時

記憶部 2 3 に書き込んだ直後の、第 3 の一時記憶部 2 3 に保持されている画素データの状態を示している。前回（時刻 $t + 2$ ）に生成した画素（6 4， 6 3）は、画像ブロック 1 3 のライン（6 3 行）の最後尾の画素（6 4， 6 3）に相当する。従って、ステップ S 1 2 - 2 に従い、ステップ S 1 2 - 3 において第 2 の一時記憶部 2 2 から第 3 の一時記憶部 2 3 へ画素データがロードされる。具体的には、第 1 の選択部 2 6 が下位置に切り替えられ、レジスタ 2 2 a d の画素データをレジスタ 2 3 a b に、レジスタ 2 2 a e の画素データをレジスタ 2 3 a c に、レジスタ 2 2 b d の画素データをレジスタ 2 3 b b に、レジスタ 2 2 b e の画素データをレジスタ 2 3 b c に、レジスタ 2 2 c d の画素データをレジスタ 2 3 c b に、レジスタ 2 2 c e の画素データをレジスタ 2 3 c c に、それぞれ書き込む。

図 2 9 は、時刻 $t + 3$ のステップ S 1 2 - 4 において第 1 の一時記憶部 2 1 の RAM 2 1 a ~ 2 1 c から 3 個の画素（3， 6 4） ~ （3， 6 6）の画素データを読み出して第 3 の一時記憶部 2 3 に書き込んだ直後の、第 3 の一時記憶部 2 3 に保持されている画素データの状態を示している。第 3 の一時記憶部 2 3 の画素データが図 2 7 の状態とになった後、ステップ S 1 2 - 5 において第 2 の選択部 2 7 を切り替える。具体的には、レジスタ 2 3 a a ~ 2 3 a c を乗算器 3 1 a に、レジスタ 2 3 b a ~ 2 3 b c を乗算器 3 1 b に、レジスタ 2 3 c a ~ 2 3 c c を乗算器 3 1 c に、それぞれ接続するように第 2 の選択部 2 7 を切り替える。その後、ステップ S 1 2 - 6 において、第 3 の一時記憶部 2 3 に記憶された 9 個の画素の画素データが演算回路 2 0 にされ、出力画素（1， 6 4）が生成される。なお、上記の動作終了後、第 1 の選択部 2 6 の設定は上位置に戻される。

図 3 0 は、時刻 $t + 3$ において画素（1， 6 4）を生成した直後、すなわち時刻 $t + 4$ のステップ S 1 2 - 1 の直前の第 1 の一時記憶部 2 1 及び第 2 の一時記憶部 2 2 の画素データの保持状態を示している。RAM 2 1 a には画素（3， 6 4） ~ （6 6， 6 4）の画素データが保持され、RAM 2 1 b には画素（3， 6 5） ~ （6 6， 6 5）の画素データが保持され、RAM 2 1 c には画素（3， 6 6） ~ （6 6， 6 6）の画素データが保持されている。第 2 の一時記憶部 2 2 には 6 個の画素（1， 6 4） ~ （2， 6 6）の画素データが保持されている。

図 3 1 は、時刻 $t + 4$ のステップ S 1 2 - 1 直後の第 1 の一時記憶部 2 1 及び

第2の一時記憶部22に保持されている画素データの状態を示している。ステップS12-1では、画素(1, 64)を記憶していたレジスタ22aeに対して、メモリ3から読み出された画素(65, 1)の画素データが上書きされる。画素データの読み出し速度、読み出し先、及び読み出し方向は、図13及び図14に従って決定される。まず、条件1については、書込中のRAM21cの前の書き込みポイントは画素(66, 66)の画素データを記憶するアドレスであり、前の読み出しポイントは画素(3, 66)の画素データを記憶するアドレスであるため、書き込みポイントは読み出しポイントの直前にある。また、条件2については、第2の一時記憶部22には次ライン(第1行)の生成に必要な画素(65, 1)~(66, 3)は未だ記憶されていない。さらに、条件3については、前記メモリ3から読み出してRAM21cに書き込んだ画素(66, 66)は画像ブロック13の最初の3行内の画素ではない。従って、ロード方法Bが選択され、画素(65, 1)の画素データをメモリ3から読み出して、レジスタ22aeに書き込んでいる。

図32は、時刻t+4のステップS12-6において、出力画素(2, 64)を生成した直後の第3の一時記憶部23に保持されている画素データの状態を示している。時刻t+4のステップS12-2では、前回生成した画素(1, 64)は画像ブロック13のラインの最後尾の画素に該当しないことが判定される。また、ステップS12-7において、第3の一時記憶部23の画素データがシフトされ、ステップS12-8において、各RAM21a~21cから第3の一時記憶部23に画素(4, 64)~(4, 66)の画素データがロードされる。その後、ステップS12-6において、第3の一時記憶部23に記憶された9個の画素の画素データが演算回路20に入力され、出力画素(2, 64)が生成される。

図33は時刻t+5のステップS12-1の直前における第1の一時記憶部21及び第2の一時記憶部22に保持されている画素データの状態を示し、図34は時刻t+5のステップS12-1の直後における第1の一時記憶部21及び第2の一時記憶部22に保持されている画素データの状態を示している。メモリ3からの画素データの読み出し速度、読み出し先、及び読み出し方向は、図13及

び図14に従って決定される。条件1については、書込中のRAM21cの前の書き込みポイントは画素(66, 66)を記憶するアドレスであり、前の読み出しポイントは画素(4, 66)を記憶するアドレスであるため、書き込みポイントは読み出しポイントの直前ではない。また、条件2については、第2の一時記憶部22に次ライン(第1行)の生成に必要な画素(65, 1)～(66, 3)の画素データは未だ記憶されていない。さらに、条件3については、前回にメモリ3から読み出してレジスタ22aeに書き込んだ画素(65, 1)は画像ブロック13の最初の3行内の画素である。従って、ロード方法Hが選択され、画素(65, 2)の画素データをメモリ3から読み出してレジスタ22beに書き込むと共に、画素(67, 1)の画素データをメモリ3から読み出してRAM21aに書き込む。

図35は、時刻 $t+5$ のステップS12-6において出力画素(3, 64)を生成した直後の第3の一時記憶部23に保持されている画素データの状態を示している。時刻 $t+5$ のステップS12-2では、前回生成した画素(2, 64)は画像ブロック13のラインの最後尾の画素に該当しないことが判定される。また、ステップS12-7において、第1の一時記憶部21の画素データをシフトする。そしてステップS12-8において、各RAM21a～21cから画素(5, 64)～(5, 66)の画素データを読み出して第3の一時記憶部23に書き込む。その後、ステップS12-6において、第3の一時記憶部23に記憶された9個の画素の画素データが演算回路20に入力され出力画素(3, 64)が生成される。

時刻 $t+6 \sim t+9$ では、時刻 $t+5$ と同様に、メモリ3から第1及び第2の一時記憶部21, 22に対して垂直方向に読み出された画素データが書きこまれる(図10の矢印C参照)。また、時刻 $T+6 \sim T+9$ 間に、4個の出力画素(4, 67)～(7, 64)が生成される。図36に示すように、時刻 $t+10$ のステップS12-1直前では、6個の画素(65, 1)～(65, 3)の画素データが第2の一時記憶部22に記憶されている。また、画素(67, 1)、(68, 1)がRAM21aに、画素(67, 2)、(68, 2)がRAM21bに、画素(67, 3)がRAM21cに、それぞれ記憶されている。

時刻 $t + 10$ のステップ S 1 2 - 1 では、図 1 3 及び図 1 4 に従ってロード方法 G が選択され、図 3 7 に示すようにメモリ 3 から読み出された画素 (6 8, 3)、(6 9, 1) が RAM 2 1 a に記憶される。ステップ S 1 2 - 2 において前回生成した画素 (7, 6 4) はラインの最後尾の画素ではないので、ステップ S 1 2 - 7 において第 1 の一時記憶部 2 1 の値をシフトし、ステップ S 1 2 - 8 において、各 RAM 2 1 a ~ 2 1 c から画素 (1 0, 6 4) ~ (1 0, 6 6) の画素データを読み出してレジスタ 2 3 a a、2 3 b a、2 3 c a に記憶する。最後に、ステップ S 1 2 - 6 において、第 3 の一時記憶部 2 3 に記憶された 9 個の画素 (8, 6 4) ~ (1 0, 6 6) の画素データに基づいて演算回路 2 0 で出力画素 (1 0, 6 4) を生成する。

前記実施形態では、水平方向に 3 個で垂直方向に 3 個の互いに隣接する 9 個の画素から出力画素を生成する場合を例に本発明を説明した (図 8 A から図 8 C 参照)。M は 2 以上の整数で、N は 2 以上の整数であり、演算回路が水平方向に M 個で垂直方向に N 個の画素から出力画素を生成する場合には、第 1 の一時記憶部は各ラインの第 M 番目の画素から最後尾の画素までを読み出し可能に記憶し、第 2 の一時記憶部は各ラインの先頭の画素から第 M - 1 番目の画素までを読み出し可能に記憶するものであればよい。また、この場合、画像ブロックの第 1 番目から第 N 番目のラインに属する画素について、図 1 0 の矢印 C で示すようにメモリから第 1 及び第 2 の一時記憶部に対して垂直方向に画素データをロードすればよい。

本発明は、前記実施形態に限定されず、種々の変形が可能である。例えば、図 1 の画像処理システム 1 において解像度変換回路 6 に本発明を適用することができる。また、デジタルカメラ以外の、デジタルビデオ等の他の機器が備える画像処理システムに本発明を適用することができる。また、1 フレームの画像を画像ブロックに分割することなく処理する場合にも本発明を適用することができる。

添付図面を参照して本発明を完全に説明したが、当業者にとって種々の変更及び変形が可能である。従って、そのような変更及び変形は本発明の意図及び範囲から離れない限り、本発明に含まれると解釈されなければならない。

請 求 の 範 囲

1. 画像を記憶する画像記憶部と、

前記画像に含まれる水平方向にM個で垂直方向にN個の互いに隣接する画素を演算処理して出力画素を生成し、Mは2以上の整数で、Nは1以上の整数である演算部と、

前記画像の各水平方向画素列の第M番目の画素から最後尾の画素までを、読み出し可能に記憶する第1の一時記憶部と、

前記画像の各水平方向画素列の先頭の画素から第M-1番目の画素までを、読み出し可能に記憶する第2の一時記憶部と、

前記第1の一時記憶部に記憶された画素を遅延させると共に、前記第2の一時記憶部から画素が入力され、前記水平方向にM個で垂直方向にN個の互いに隣接する画素を前記演算部に同時に出力する第3の一時記憶部と

を備える、画像処理装置。

2. 1つの水平方向画素列の最後尾の出力画素の生成に使用される画素が前記第3の一時記憶部に記憶される前に、次の水平方向画素列の先頭の画素から第M-1番目の画素までを前記画像記憶部から読み出して前記第2の一時記憶部に書き込み、かつ

前記1つの水平方向画素列に対応する最後尾の出力画素の生成に使用される画素が前記第3の一時記憶部から前記演算部に出力されると、前記次のラインの先頭の画素から第M-1番目の画素を前記第2の一時記憶部から読み出して前記第3の一時記憶部に書き込む、制御部をさらに備える、請求項1に記載の画像処理装置。

3. 前記Nは2以上の整数であり、

前記制御部は、前記画像の第1番目から第N番目の水平方向画素列に属する画素に対して、垂直方向に並ぶN個の画素を前記画像記憶部から順次読み出して前記第1の一時記憶部又は前記第2の一時記憶部に書き込む操作を、読み出し位置を水平方向に移動しつつ繰り返す、請求項2に記載の画像処理装置。

4. 前記演算部は単位時間毎に1個の出力画素を生成し、

前記第1の一時記憶部はN個のRAMを備え、

前記制御部は、書き込み中である前記RAMの前の書き込みアドレスが前の読み出しアドレスの直前であれば、前記単位時間内に1個の画素を、前記画像記憶部から読み出して前記RAM又は前記第2の一時記憶部に書き込み、書き込み中である前記RAMの前の書き込みアドレスが前の読み出しアドレスの直前より1つ以上前であれば、前記単位時間内に複数の画素を、前記画像記憶部から読み出して前記RAM及び／又は前記第3の一時記憶部に書き込む、請求項3に記載の画像処理装置。

5. 画像記憶部に記憶された画像に含まれる水平方向にM個で垂直方向にN個の互いに隣接する画素を演算処理して出力画素を生成し、Mは2以上の整数で、Nは1以上の整数である、画像処理方法であって、

前記画像記憶部から読み出し位置を水平方向に移動しつつ画素を読み出して第1の一時記憶部に書き込み、

前記第1の一時記憶部から画素を読み出して、第3の一時記憶手段に書き込み、

前記第3の一時記憶手段で遅延させて、前記水平方向にM個で垂直方向にN個の互いに隣接する画素を演算部に出力し、

前記演算回路により前記M×N個の画素から出力画素を生成し、

1つの水平方向画素列に対応する最後尾の出力画素の生成に使用される画素が前記第3の一時記憶部に記憶される前に、次の水平方向画素列の先頭の画素から第M-1番目の画素までを前記画像記憶部から読み出して第2の一時記憶部に書き込み、

前記1つの水平方向画素列に対応する最後尾の出力画素の生成に使用される画素が前記第3の一時記憶部から前記演算部に出力されると、前記第2の一時記憶部から前記次のラインの先頭の画素から第M-1番目の画素までを読み出して前記第3の一時記憶部に書き込む、画像処理方法。

6. 前記Nは2以上の整数であり、

前記画像の第1番目から第N番目の水平画素列に属する複数の画素に対して、垂直方向に並ぶN個の画素を前記画像記憶部から順次読み出して前記第1の一時記憶部又は前記第2の一時記憶部に書き込む操作を、読み出し位置を水平方向に移動しつつ繰り返す、請求項5に記載の画像処理方法。

7. 前記演算部は単位時間毎に1個の出力画素を生成し、

前記第1の記憶部はN個のRAMを備え、

書き込み中である前記RAMの前の書き込みアドレスが前の読み出しアドレスの直前であれば、前記単位時間内に1個の画素を、前記画像記憶部から読み出して前記第2の一時記憶部又は前記第3の一時記憶部に書き込み、

書き込み中であるRAMの前の書き込みアドレスが前の読み出しアドレスの直前より1つ以上前であれば、前記単位時間内に複数個の画素を、前記画像記憶部から読み出して前記RAM又は前記第3の一時記憶部に書き込む、

請求項5に記載の画像処理方法。

Fig. 1

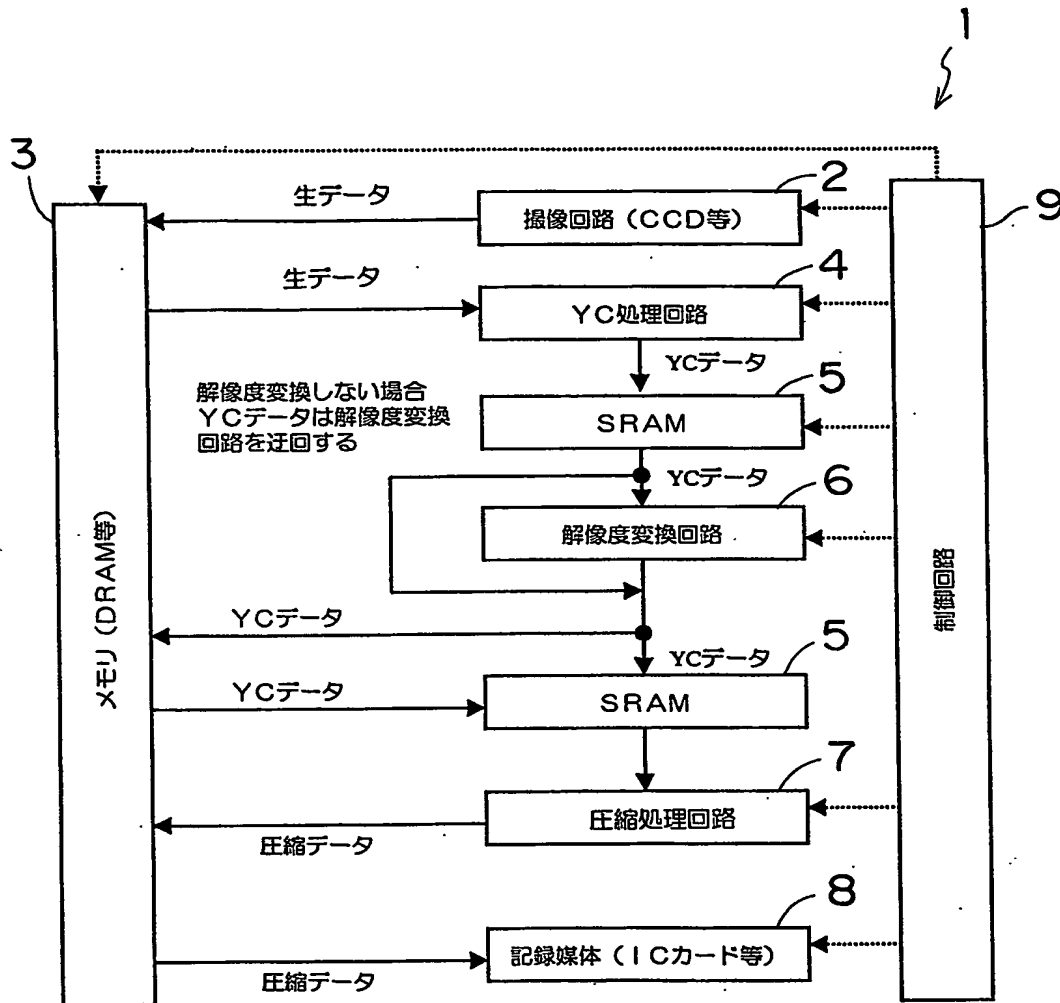


Fig. 2

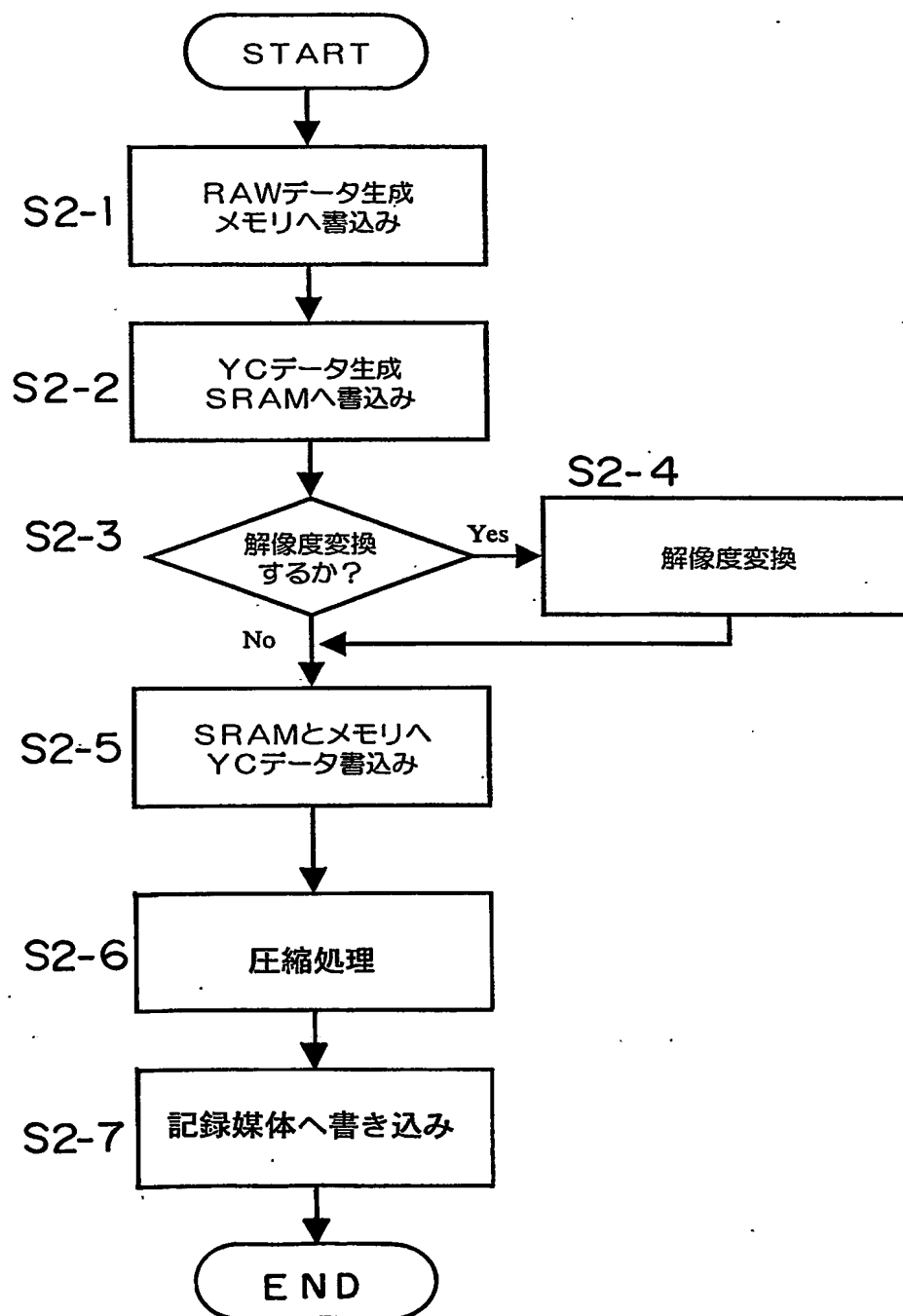


Fig.3

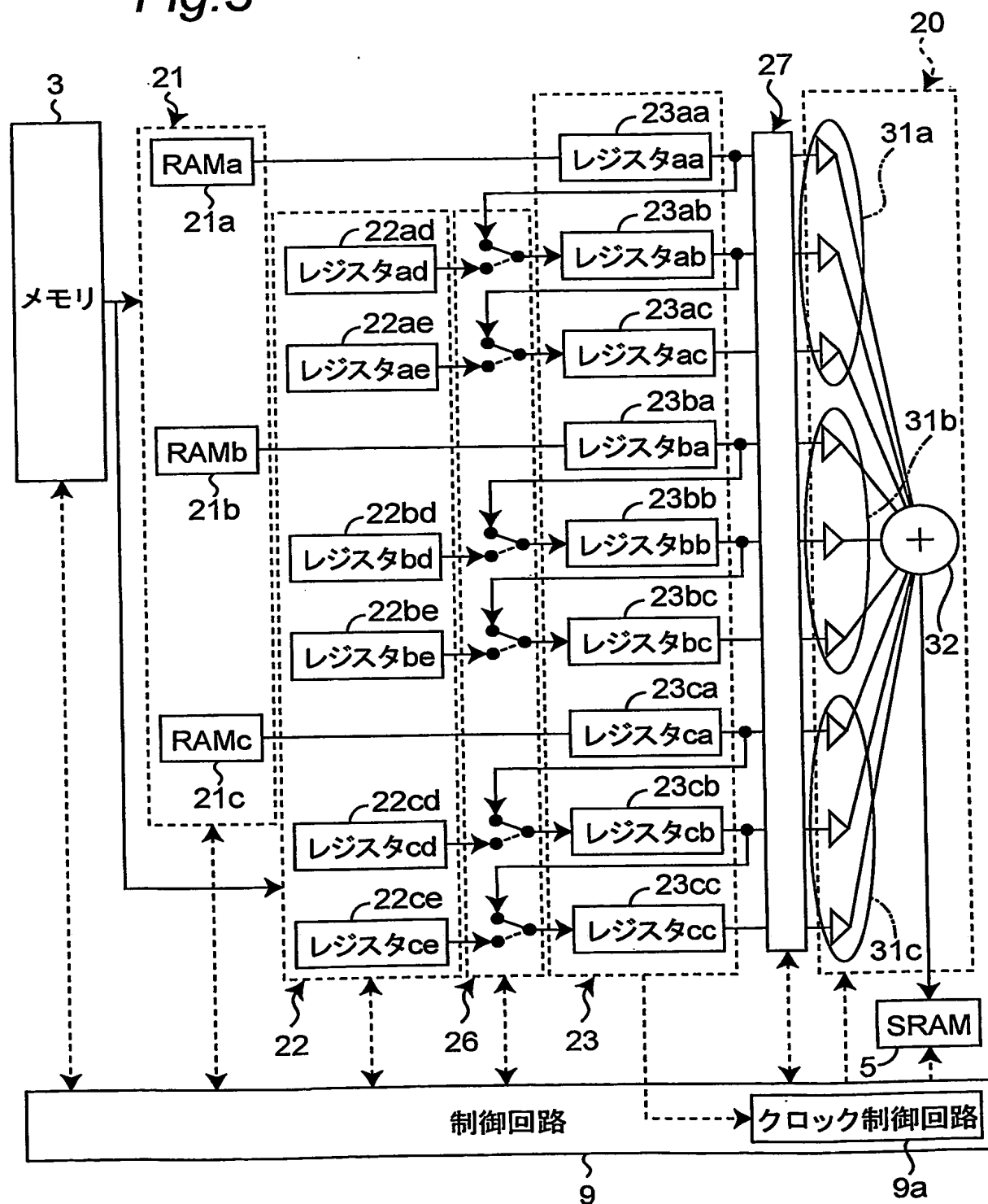


Fig.4

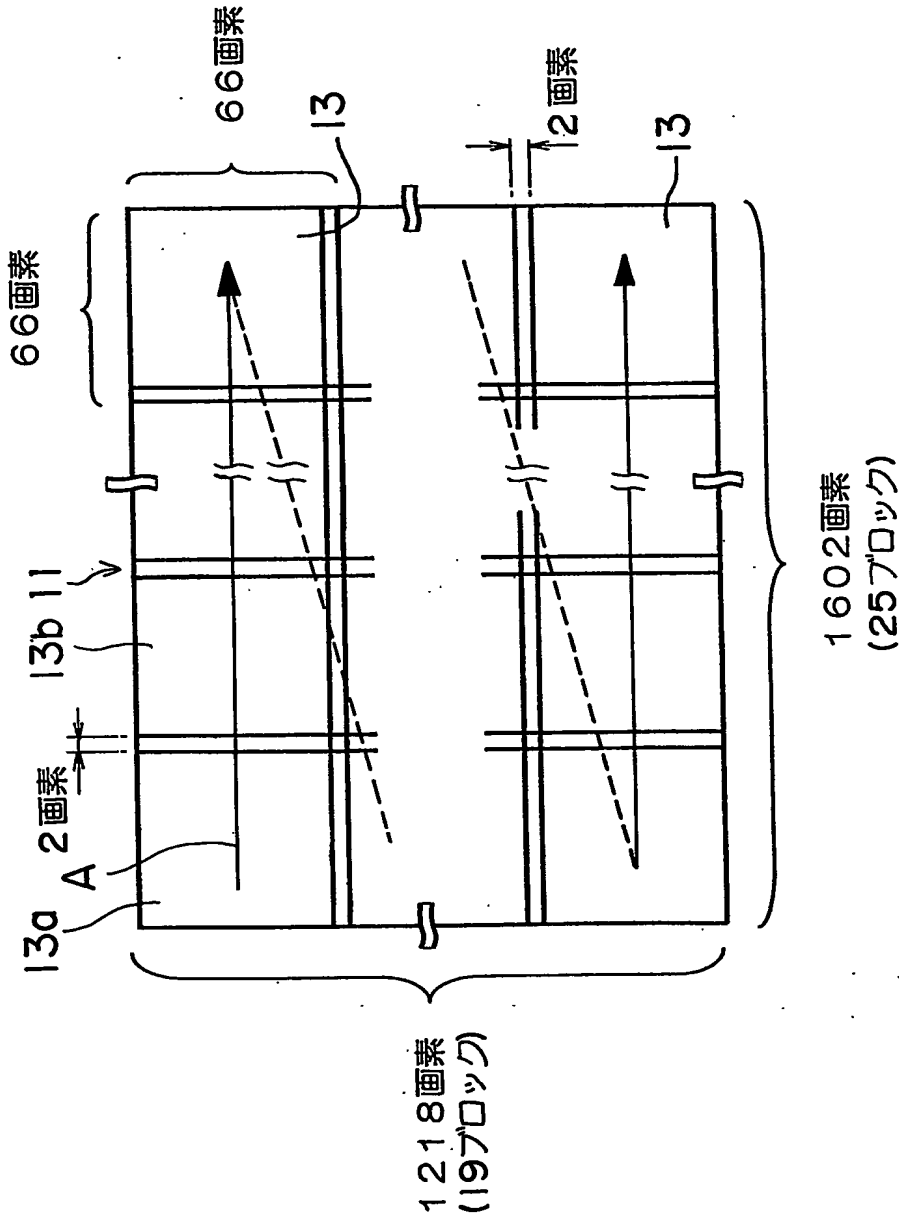


Fig. 5

11															
1ブロック目															
1,1	2,1	3,1	4,1	63,1	64,1	65,1	66,1	67,1	68,1	69,1	128,1	129,1	130,1	12	
1,2	2,2	3,2	4,2	63,2	64,2	65,2	66,2	67,2	68,2	69,2	128,2	129,2	130,2		
1,3	2,3	3,3	4,3	63,3	64,3	65,3	66,3	67,3	68,3	69,3	128,3	129,3	130,3		
1,4	2,4	3,4	4,4	63,4	64,4	65,4	66,4	67,4	68,4	69,4	128,4	129,4	130,4		
2ブロック目															
1,63	2,63	3,63	4,63	63,63	64,63	65,63	66,63	67,63	68,63	69,63	128,63	129,63			
1,64	2,64	3,64	4,64	63,64	64,64	65,64	66,64	67,64	68,64	69,64	128,64	129,64	130,64		
1,65	2,65	3,65	4,65	63,65	64,65	65,65	66,65	67,65	68,65	69,65	128,65	129,65	130,65		
1,66	2,66	3,66	4,66	63,66	64,66	65,66	66,66	67,66	68,66	69,66	128,66	129,66	130,66		

Fig.6

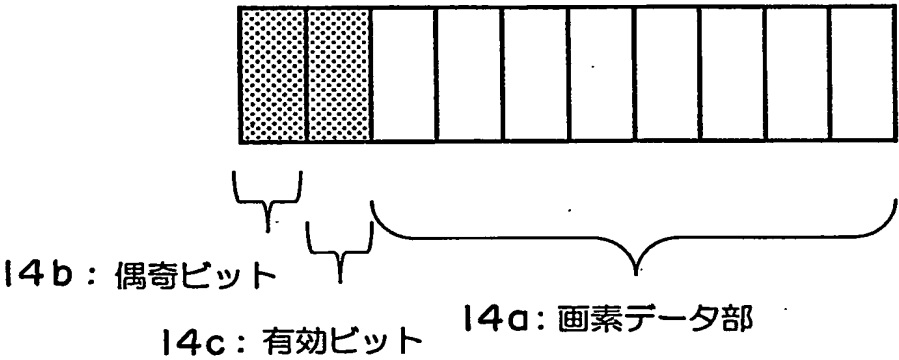


Fig.7

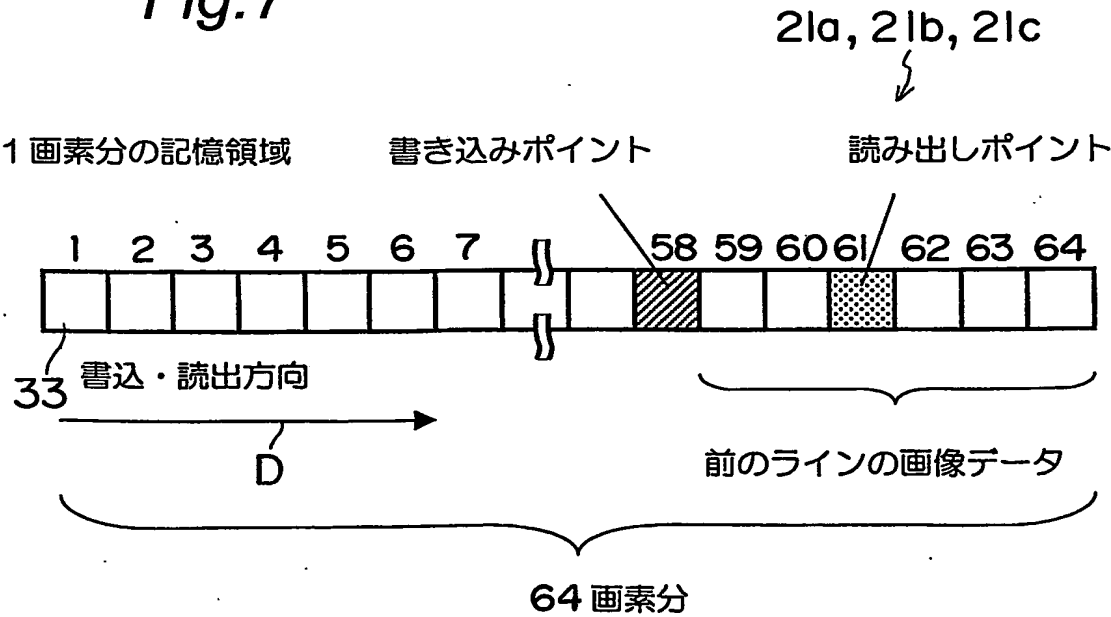


Fig. 8A

入力画素

出力画素

1 ₁	1 ₂	1 ₃	1 ₄	1 ₅	12
2 ₁	2 ₂	2 ₃	2 ₄	2 ₅	
3 ₁	3 ₂	3 ₃	3 ₄	3 ₅	
4 ₁	4 ₂	4 ₃	4 ₄	4 ₅	
5 ₁	5 ₂	5 ₃	5 ₄	5 ₅	

**Fig. 8B**

入力画素

出力画素

1 ₁	1 ₂	1 ₃	1 ₄	1 ₅	12
2 ₁	2 ₂	2 ₃	2 ₄	2 ₅	
3 ₁	3 ₂	3 ₃	3 ₄	3 ₅	
4 ₁	4 ₂	4 ₃	4 ₄	4 ₅	
5 ₁	5 ₂	5 ₃	5 ₄	5 ₅	

**Fig. 8C**

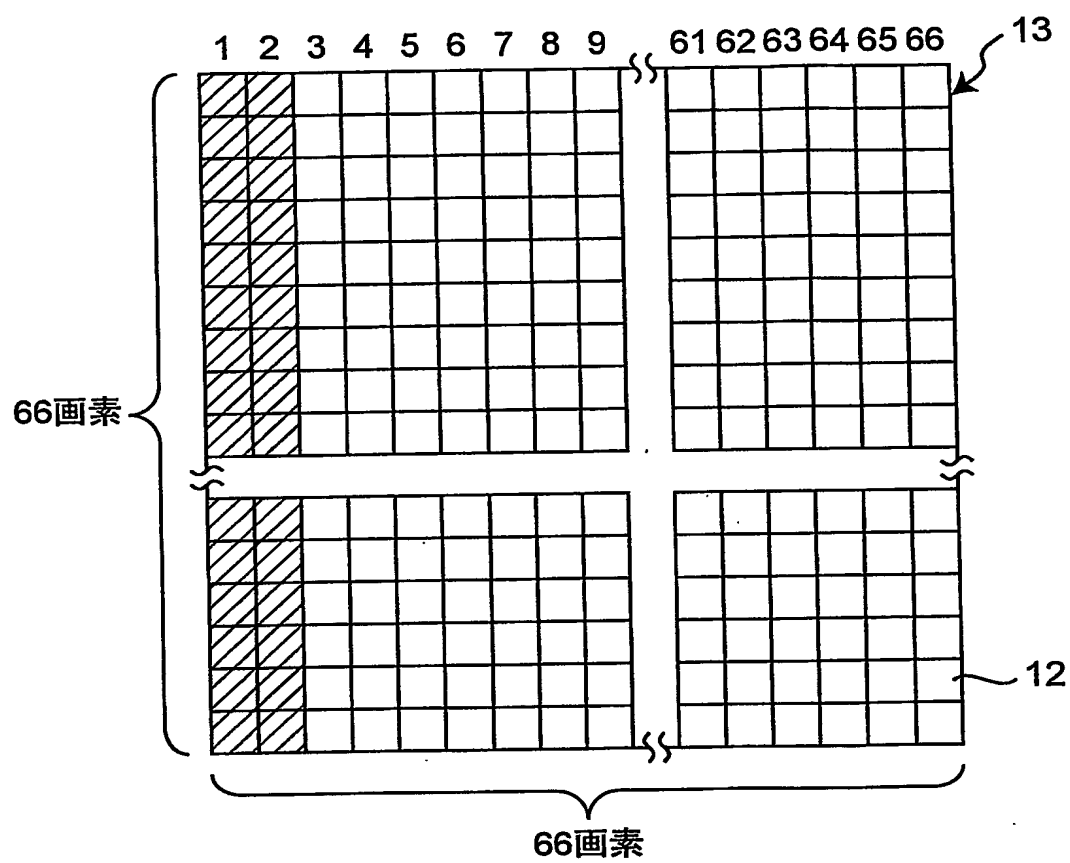
入力画素

出力画素

1 ₁	1 ₂	1 ₃	1 ₄	1 ₅	12
2 ₁	2 ₂	2 ₃	2 ₄	2 ₅	
3 ₁	3 ₂	3 ₃	3 ₄	3 ₅	
4 ₁	4 ₂	4 ₃	4 ₄	4 ₅	
5 ₁	5 ₂	5 ₃	5 ₄	5 ₅	



Fig. 9



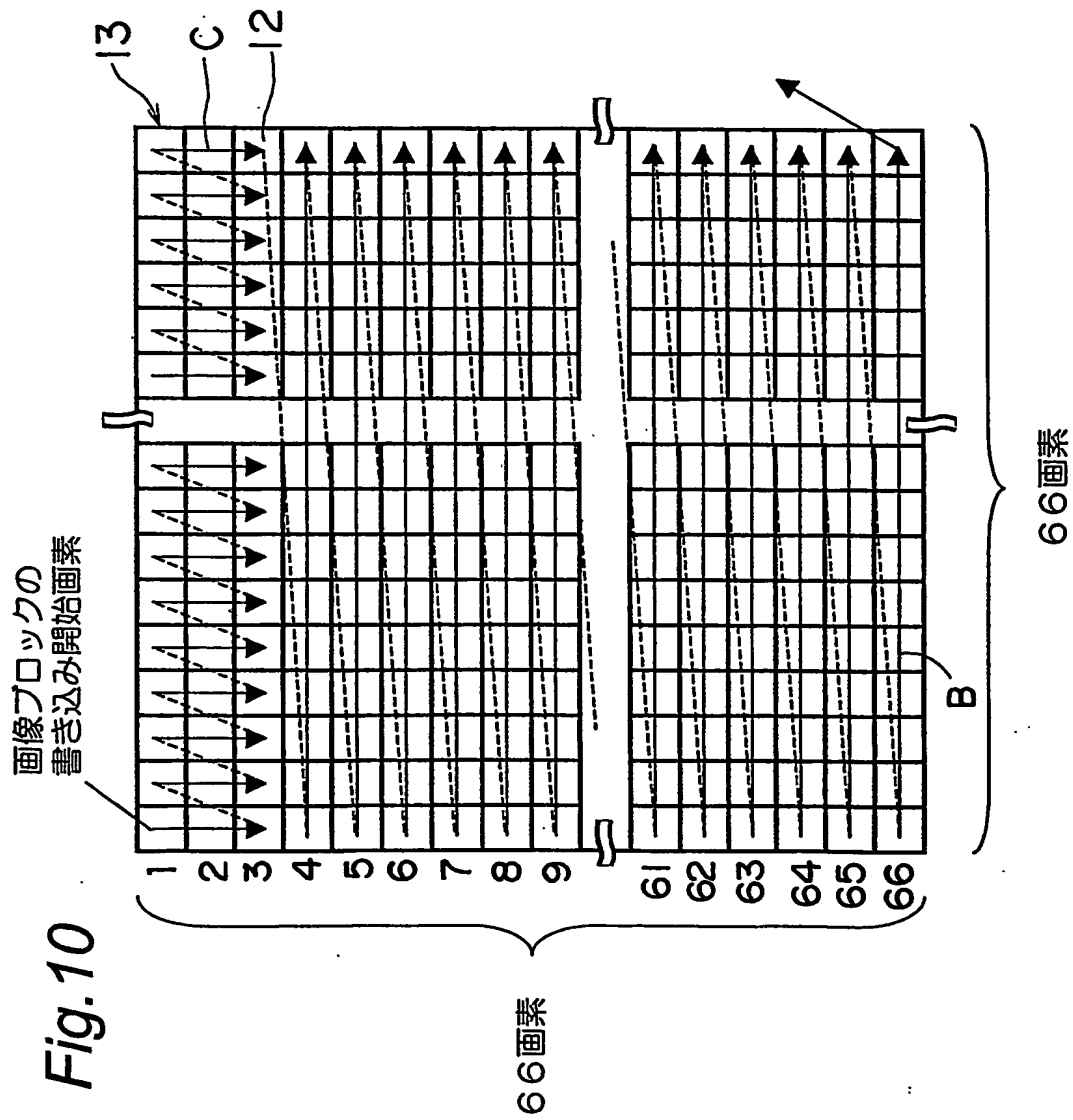


Fig.11

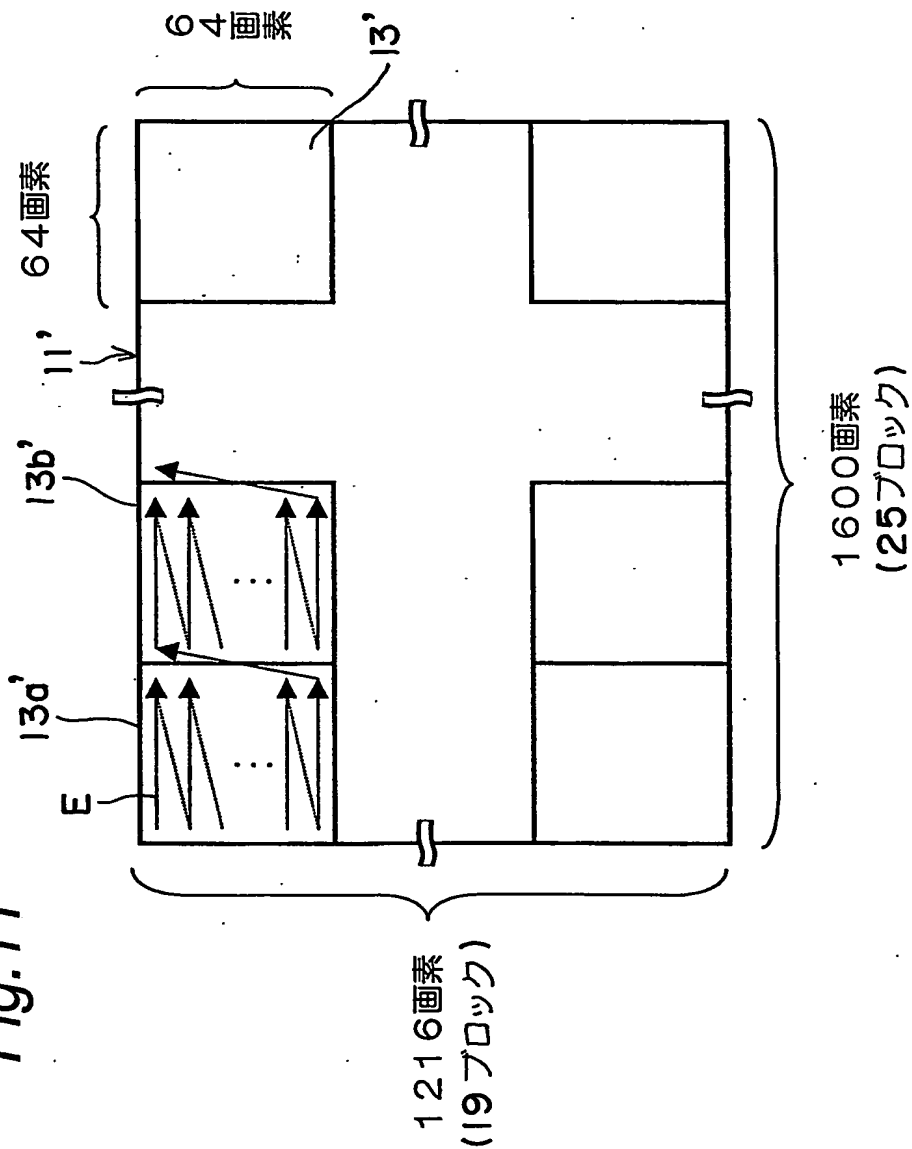


Fig. 12

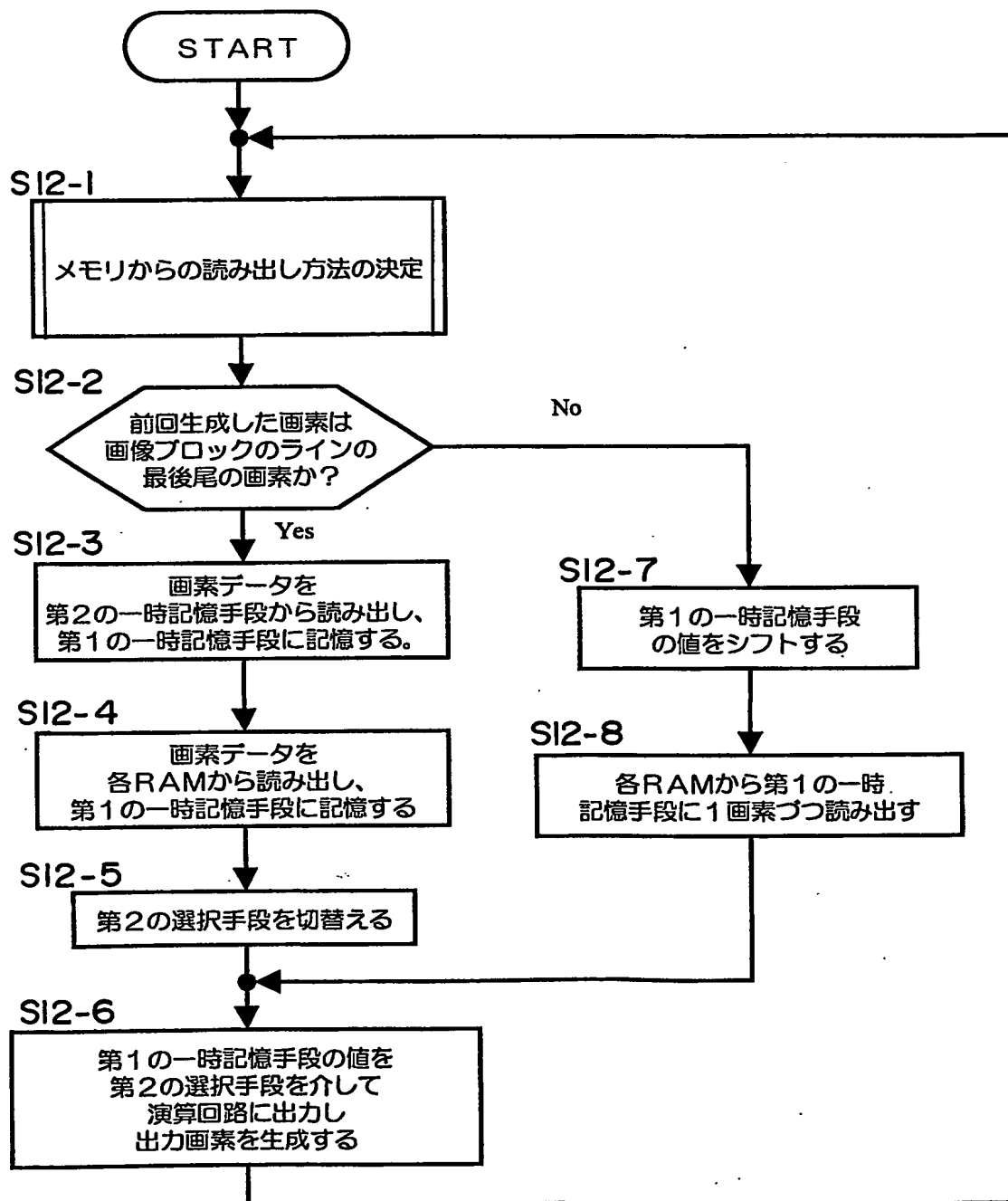


Fig.13

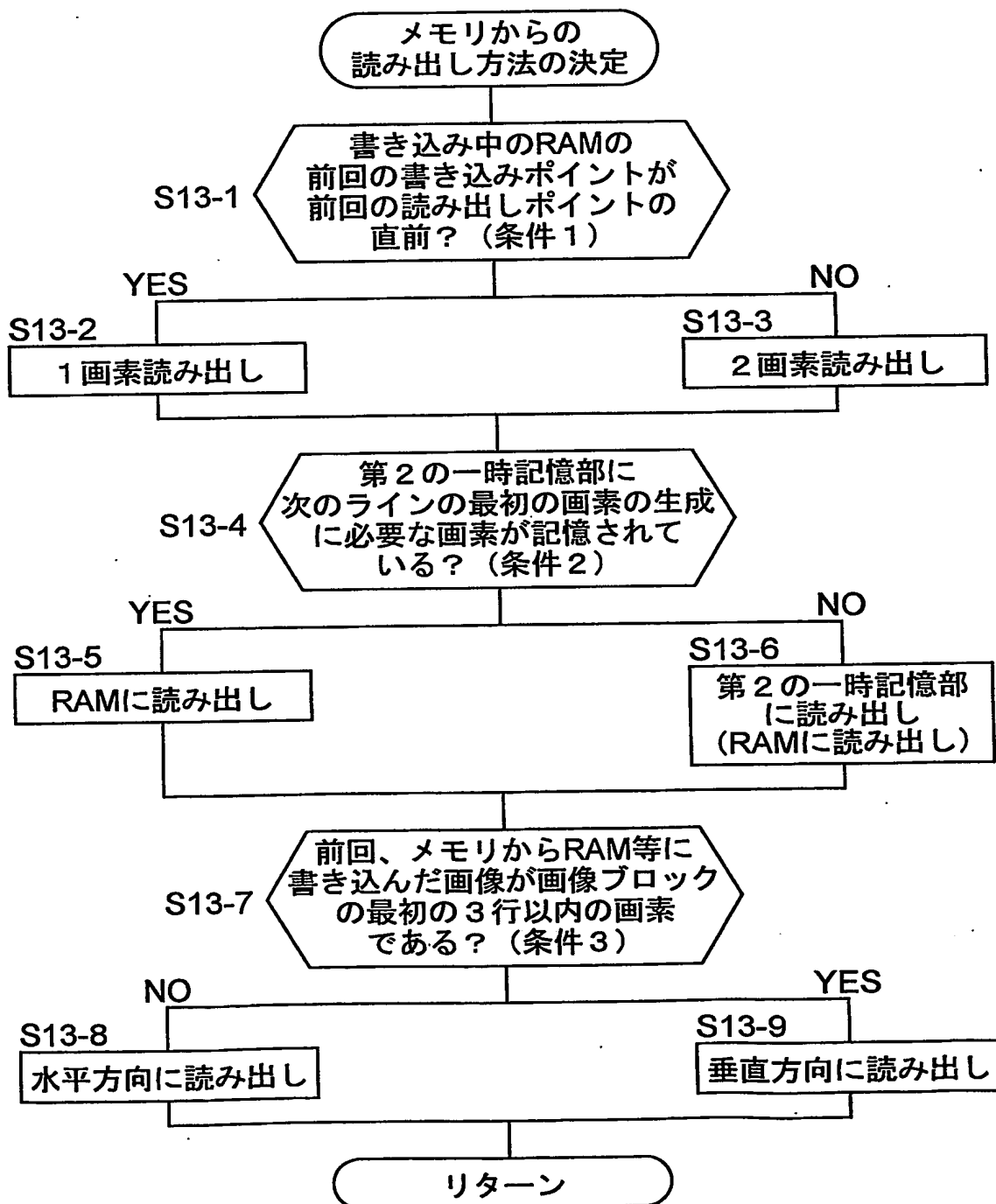


Fig.14

条件1 条件2 条件3	書き込中のRAMの前回の書き込みポイントが前回の読み出しポイントの直前である場合		書き込中のRAMの前回の書き込みポイントが前回の読み出しポイントの直前でない場合	
	第2の一時記憶回路に、次ラインの最初の画素の生成に必要な画素が記憶されている場合	第2の一時記憶回路に、次ラインの最初の画素の生成に必要な画素が記憶されていない場合	第2の一時記憶回路に、次ラインの最初の画素の生成に必要な画素が記憶されている場合	第2の一時記憶回路に、次ラインの最初の画素の生成に必要な画素が記憶されていない場合
前回、メモリからRAM等に書き込んだ画素が画像プロセッサの最初の3行内の画素でない場合	(ロード方法A) メモリからRAMに対して1画素を水平にロードする	(ロード方法B) メモリから第2の一時記憶手段に対して1画素を水平にロードする	(ロード方法C) メモリからRAMに対して2画素を水平にロードする	(ロード方法D) メモリから、第2の一時記憶手段に対して1画素を水平にロードし、RAMに対して1画素を水平にロードする
	(ロード方法E) メモリからRAMに対して1画素を垂直にロードする	(ロード方法F) メモリから第2の一時記憶手段に対して垂直に1画素をロードする	(ロード方法G) メモリからRAMに対して2画素を垂直にロードする	(ロード方法H) メモリから、第2の一時記憶手段に対して1画素を垂直にロードし、RAMに対して1画素を垂直にロードする
前回、メモリからRAM等に書き込んだ画素が画像プロセッサの最初の3行内の画素である場合				

Fig. 15

項目1	メモリからのRAM等へのロード方法	t	t+1	t+2	t+3	t+4	...
項目2	メモリから読み出す画素の書き込み先 (1画素目)	A	A	A	A	B	...
項目3	メモリからRAM等に書き込む画素 (1画素目)	RAM20c	RAM20c	RAM20c	RAM20c	レジスタ22ae	...
項目4	メモリから読み出す画素の書き込み先 (2画素目)	(63,66)	(64,66)	(65,66)	(66,66)	(65,1)	...
項目5	メモリからRAM等に書き込む画素 (2画素目)	-	-	-	-	-	...
項目6	書き込みポイント	-	-	-	-	-	...
項目7	読み出しポイント	61番目	62番目	63番目	64(0)番目	0番目	...
項目8	第2の一時記憶手段の切替状態	62番目	63番目	64番目	1番目	2番目	...
項目9	出力画素	上	上	上	下	上	...
		(62,63)	(63,63)	(64,63)	(1,64)	(2,64)	...

...	t+66	t+67	t+68	t+69	...
...	G	G	H	H	...
...	RAM20a	RAM20c	レジスタ22ae	レジスタ22ad	...
...	(106,1)	(106,3)	(65,4)	(66,4)	...
...	RAM20b	RAM20a	RAM20b	RAM20c	...
...	(106,2)	(107,1)	(107,2)	(107,3)	...
...	40番目	-23番目	-23番目	-23番目	...
...	64番目	1番目	2番目	3番目	...
...	上	下	上	上	...
...	(64,64)	(65,1)	(66,1)	(67,1)	...

...	t+9	t+10	...
...	H	G	...
...	レジスタ22cd	RAM20c	...
...	(66,3)	(68,3)	...
...	RAM20b	RAM20a	...
...	(68,2)	(69,1)	...
...	2番目	3番目	...
...	7番目	8番目	...
...	上	上	...
...	(7,64)	(8,64)	...

t+5	...
H	...
レジスタ22be	...
(65,2)	...
RAM20a	...
(67,1)	...
1番目	...
3番目	...
上	...
(3,64)	...

Fig. 16

項目1	メモリからのRAM等へのロード方法	t+70	t+104	t+105	...
項目2	メモリから読み出す画素の書き込み先 (1 画素目)	G	G	C	...
項目3	メモリからRAM等に書き込む画素 (1 画素目)	RAM20a	RAM20c	RAM20a	...
項目4	メモリから読み出す画素の書き込み先 (2 画素目)	(108,1)	(130, 3)	(68, 4)	...
項目5	メモリからRAM等に書き込む画素 (2 画素目)	RAM20b	RAM20a	RAM20a	...
項目6	書き込みポイント	(108, 2)	(67, 4)	(69, 4)	...
項目7	読み出しポイント	-22番目	1番目	3番目	...
項目8	第2の一時記憶手段の切替状態	4番目	38番目	39番目	...
項目9	出力画素	上	上	上	...
		(68, 1)	(102, 1)	(103, 1)	...

項目1	t+129	t+130	t+131	t+132	t+133	t+134	t+142	t+143	...
項目2	C	C	C	D	D	C	C	A	...
項目3	RAM20a	RAM20a	RAM20a	ビットストリーム22be	ビットストリーム22bd	RAM20a	RAM20b	RAM20b	...
項目4	(116,4)	(118,4)	(120,4)	(65,5)	(66,5)	(124,4)	(76,5)	(78,5)	...
項目5	RAM20a	RAM20a	RAM20a	RAM20a	RAM20a	RAM20a	RAM20b	-	...
項目6	(117, 4)	(119, 4)	(121, 4)	(122, 4)	(123, 4)	(125, 4)	(77, 5)	-	...
項目7	51番目	53番目	-9番目	-7番目	-5番目	-3番目	11番目	12番目	...
項目8	63番目	64番目	1番目	2番目	3番目	4番目	12番目	13番目	...
項目9	上	上	下	上	上	上	上	上	...
	(127, 1)	(128, 1)	(65, 2)	(66, 2)	(67, 2)	(68, 2)	(76, 2)	(77, 2)	...

Fig. 17

画素のY座標												画素のX座標																							
	1	2	3	4	5	6	7	8	9	10	11	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80					
1																7	5	8	10	12	13	15	16	18	19	21	22	24	25	27					
2																8	6	9	11	12	14	15	17	18	20	21	23	24	26	27					
3																6	9	7	10	11	13	14	16	17	19	20	22	23	25	26	28				
4												...				88	88	104	105	105	106	106	107	107	108	108	109	109	110	110	111				
5																132	133	137	138	138	139	139	140	140	141	141	142	142	143	144					
6																																			
7																																			

画素のY座標																画素のX座標																																									
																101	102	103	104	105	106	107	108	109																		115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130
1	58	60	61	63	64	65	66	67	68	69	70	71														80	82	83	85	86	88	89	91	92	94	95	97	98	100	101	103																
2	59	60	62	63	65	66	68	69	70	72														81	82	84	85	87	88	90	91	93	94	96	97	99	100	102	103																		
3	59	61	62	64	65	67	68	71	72														81	83	84	86	87	89	90	92	93	95	96	98	99	101	102	104																			
4	121	122	122	123	123	124	124	125	125	...													128	129	130	130	131	132	132	133	133	134	134	135	135	136	136	137																			
5																																																									
6																																																									
7																																																									
61																																																									
62																																																									
63																																																									
64																																																									
65																																																									
66																																																									

12

Fig. 18

画素のX座標											画素のY座標
1	2	3	4	5	6	7	8	9	10	11	
1											61
2											62
3											63
4											64
5											65
6											66
7											
...											
61											
62											
63											
64											
65											
66											

画素のX座標											画素のY座標
1	2	3	4	5	6	7	8	9	10	11	
1											61
2											62
3											63
4											64
5											65
6											66
7											
...											
61											
62											
63											
64											
65											
66											

12

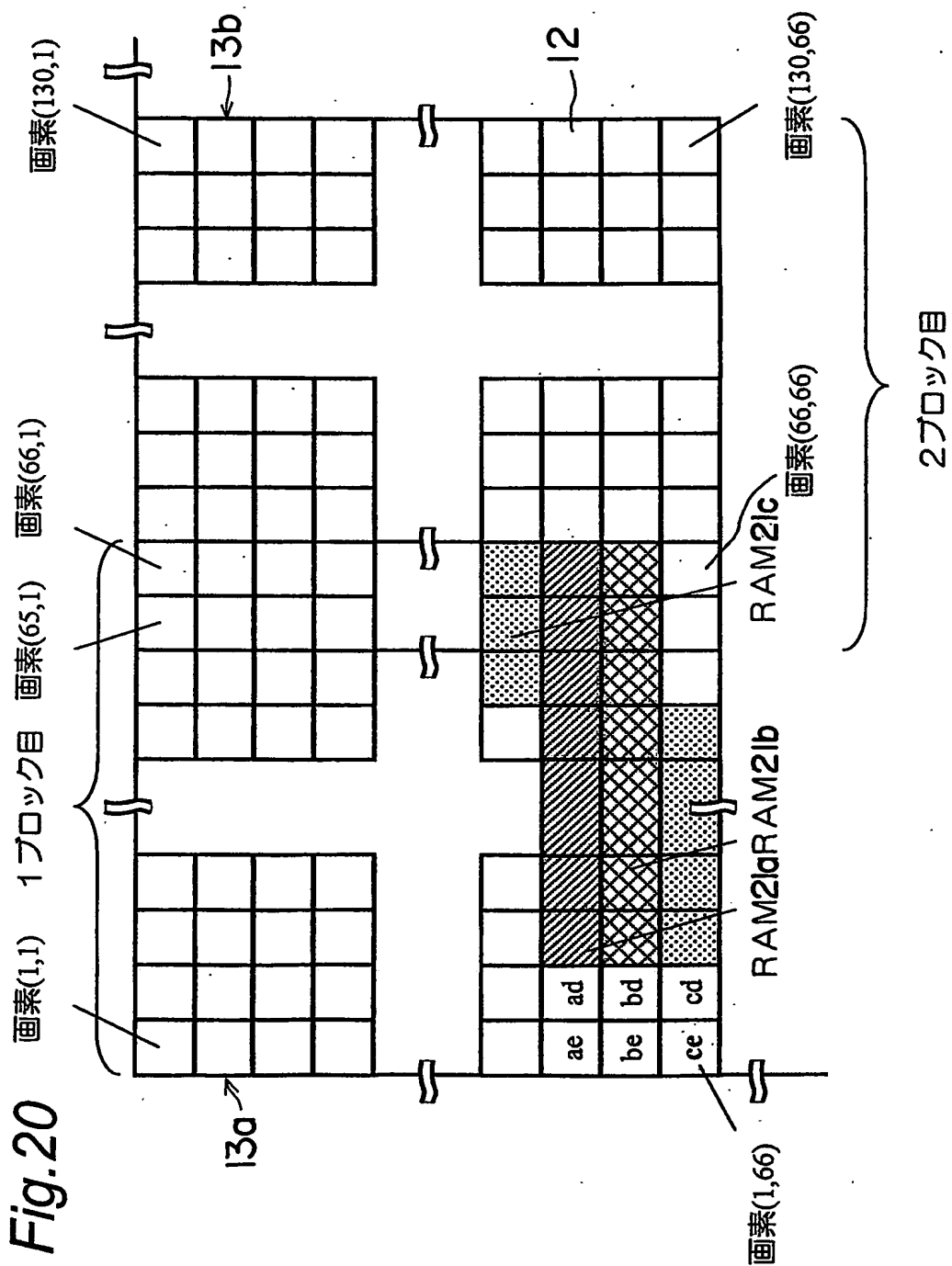
Fig. 19

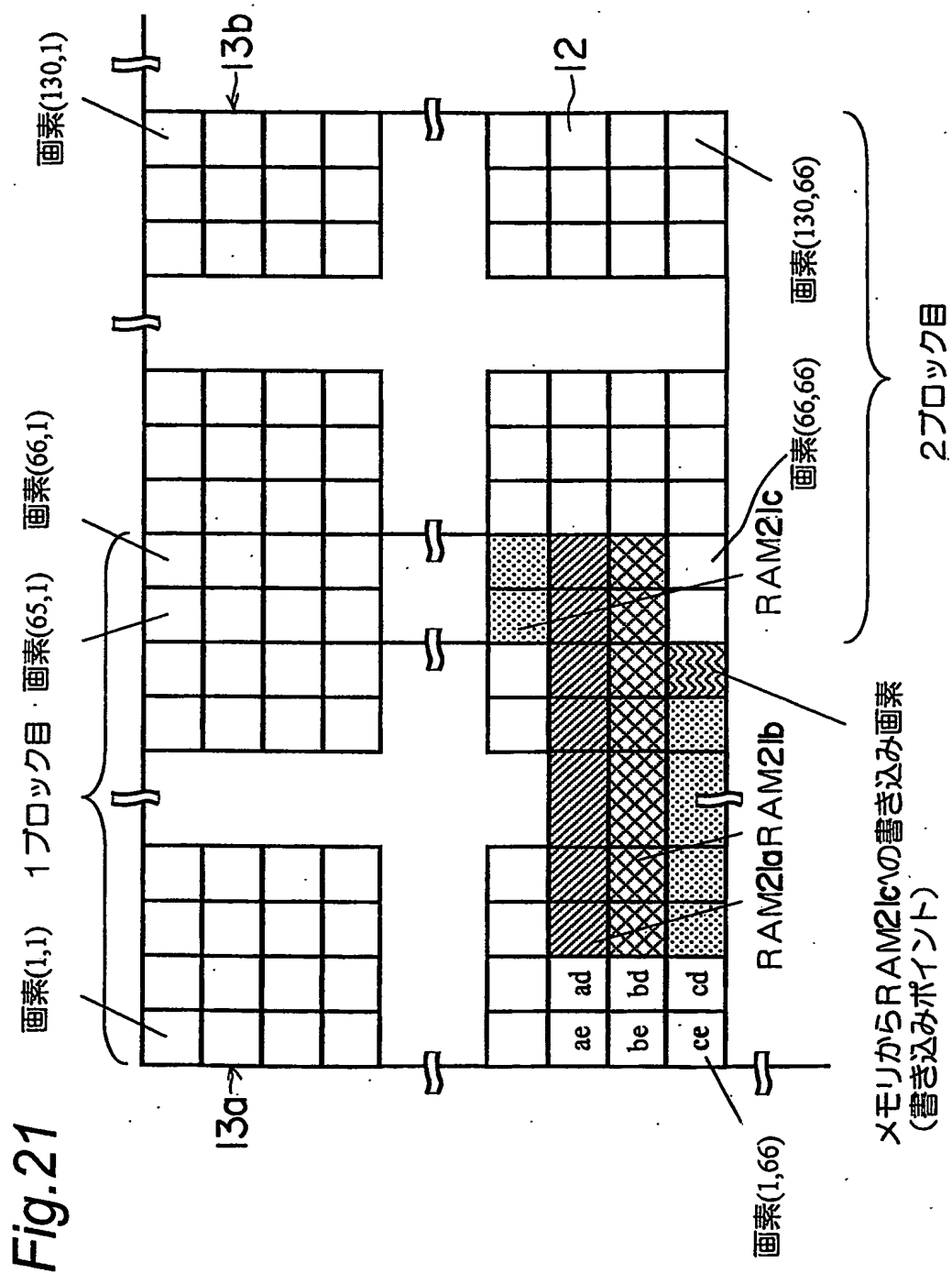
画素のX座標																													
1	2	3	4	5	6	7	8	9	10	11	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80
1																													
2																													
3																													
4																													
5																													
6																													
7																													
											...																		

画素のX座標																											
101	102	103	104	105	106	107	108	109	110	111	115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130	
1	103	104	105	106	107	108	109	110	111		117	118	119	120	121	122	123	124	125	126	127	128	129	130			
2																											
3																											
4																											
5																											
6																											
7																											

12

Fig. 20





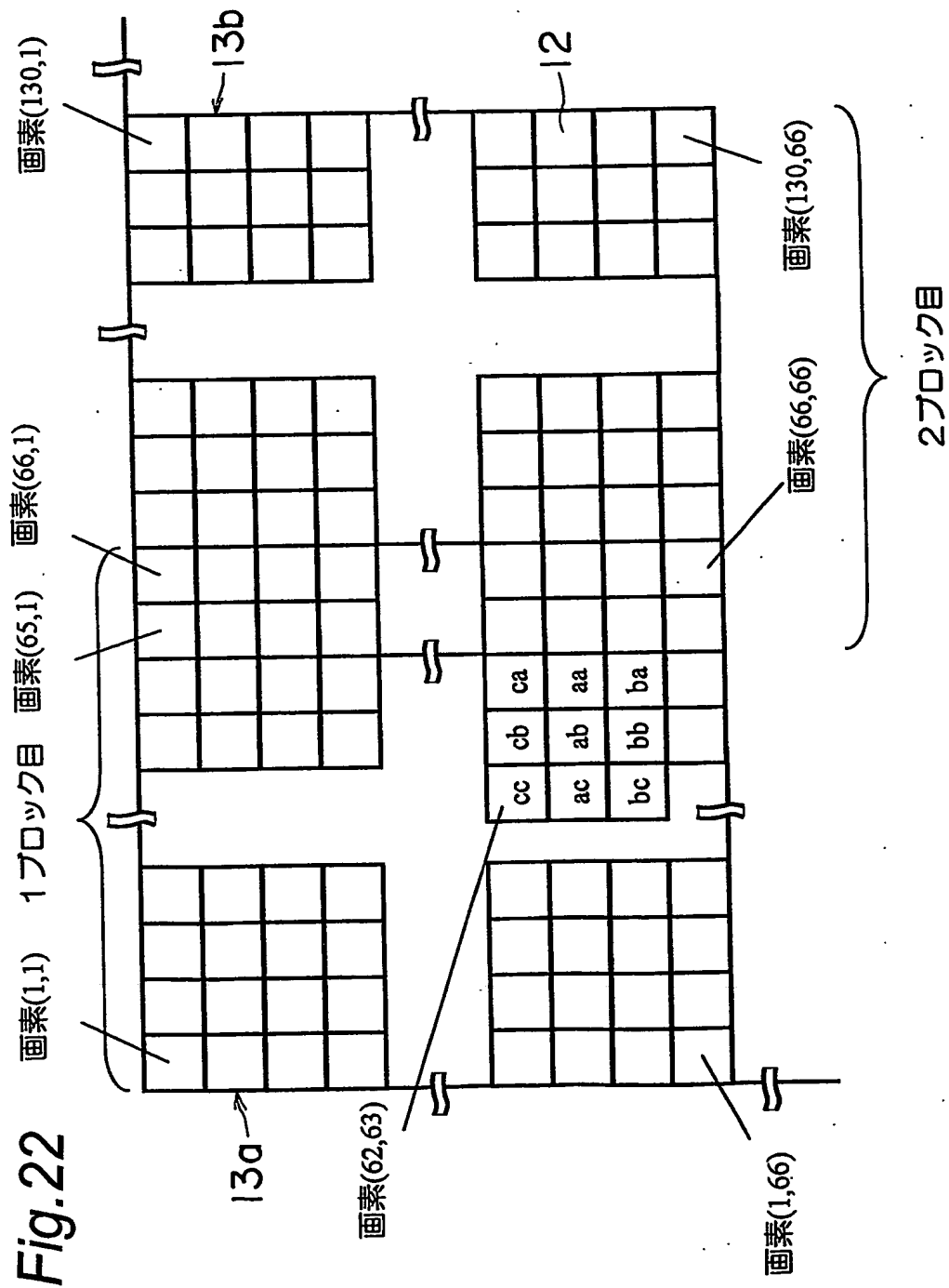
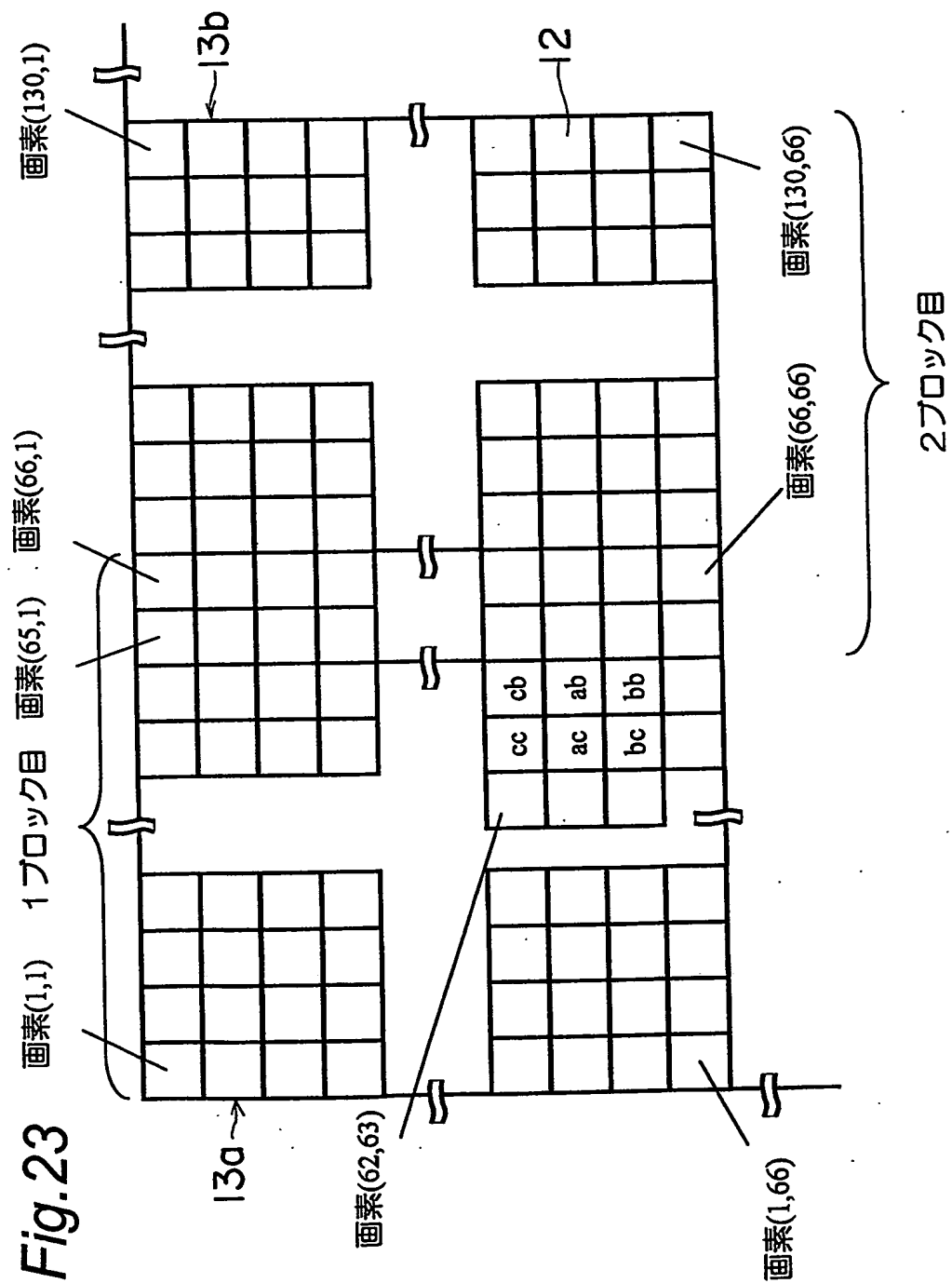
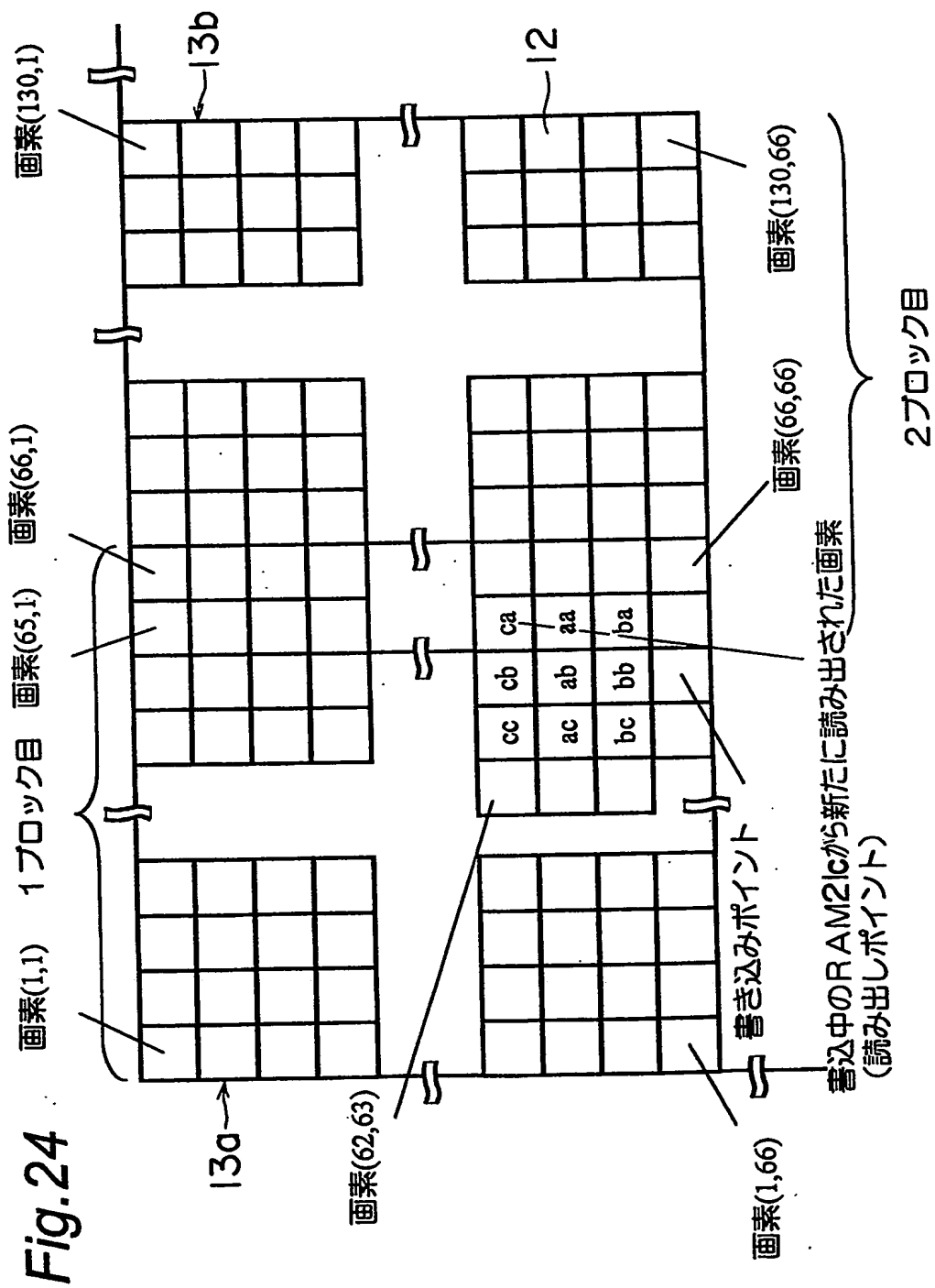
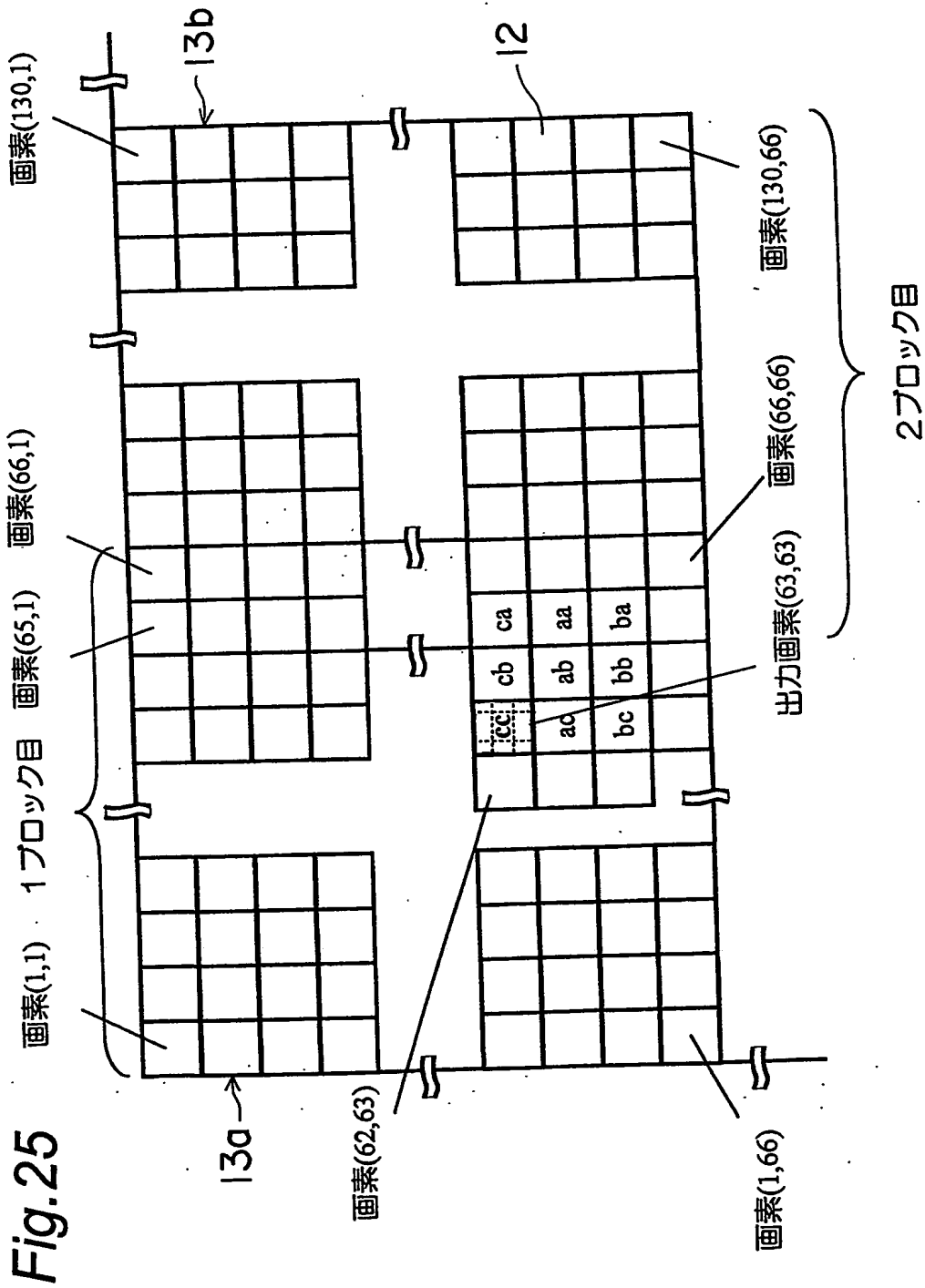
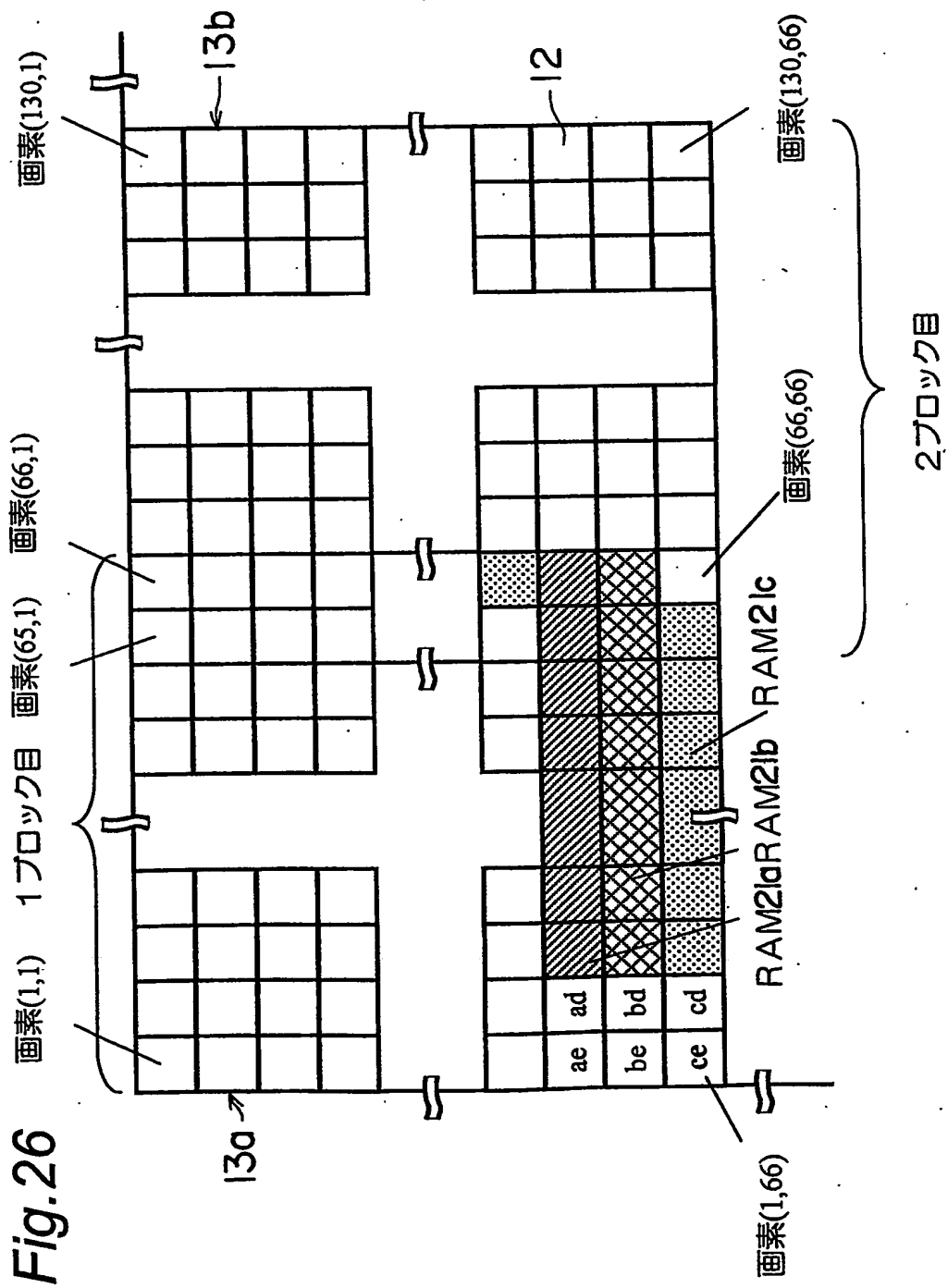


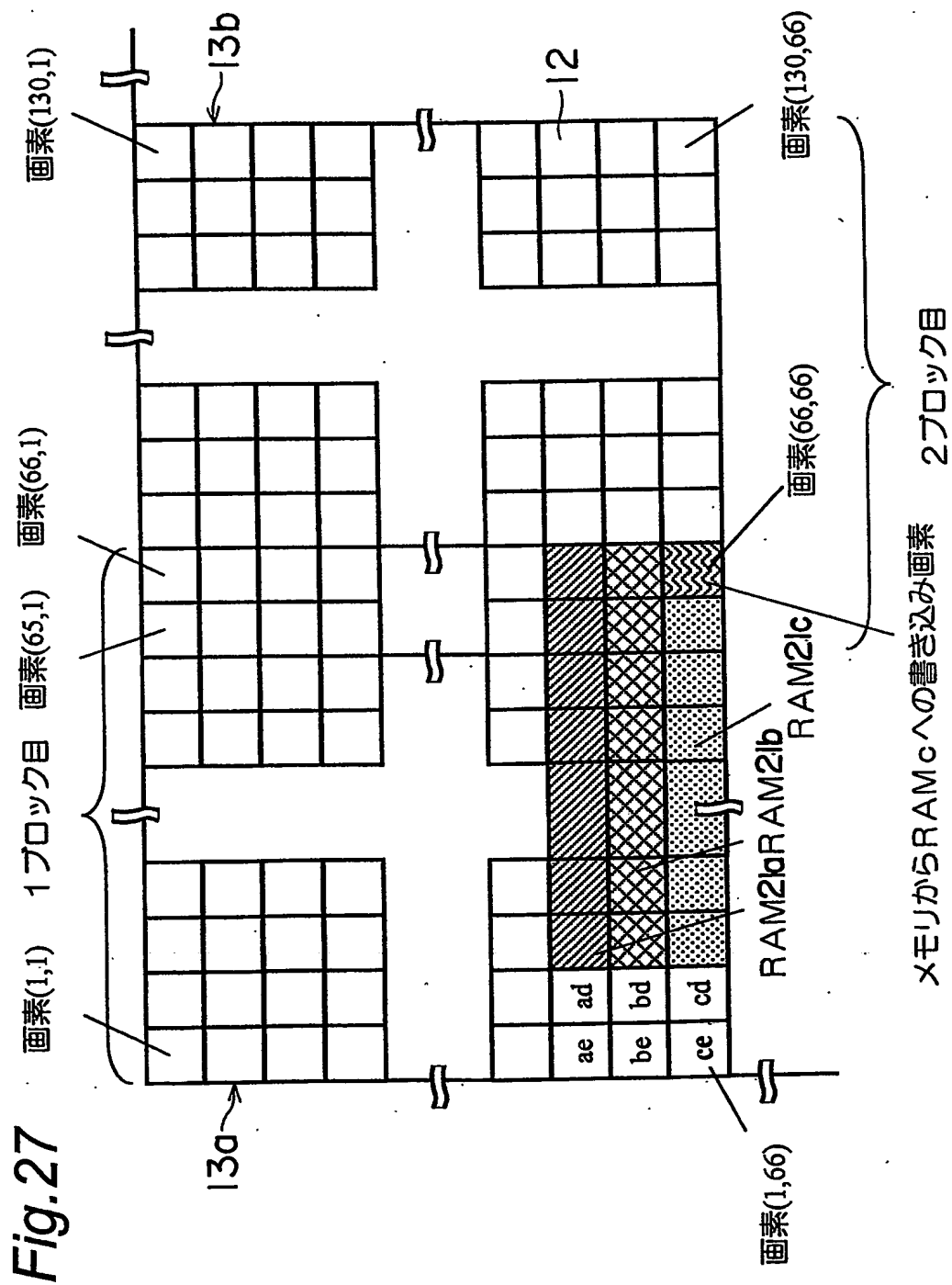
Fig. 23

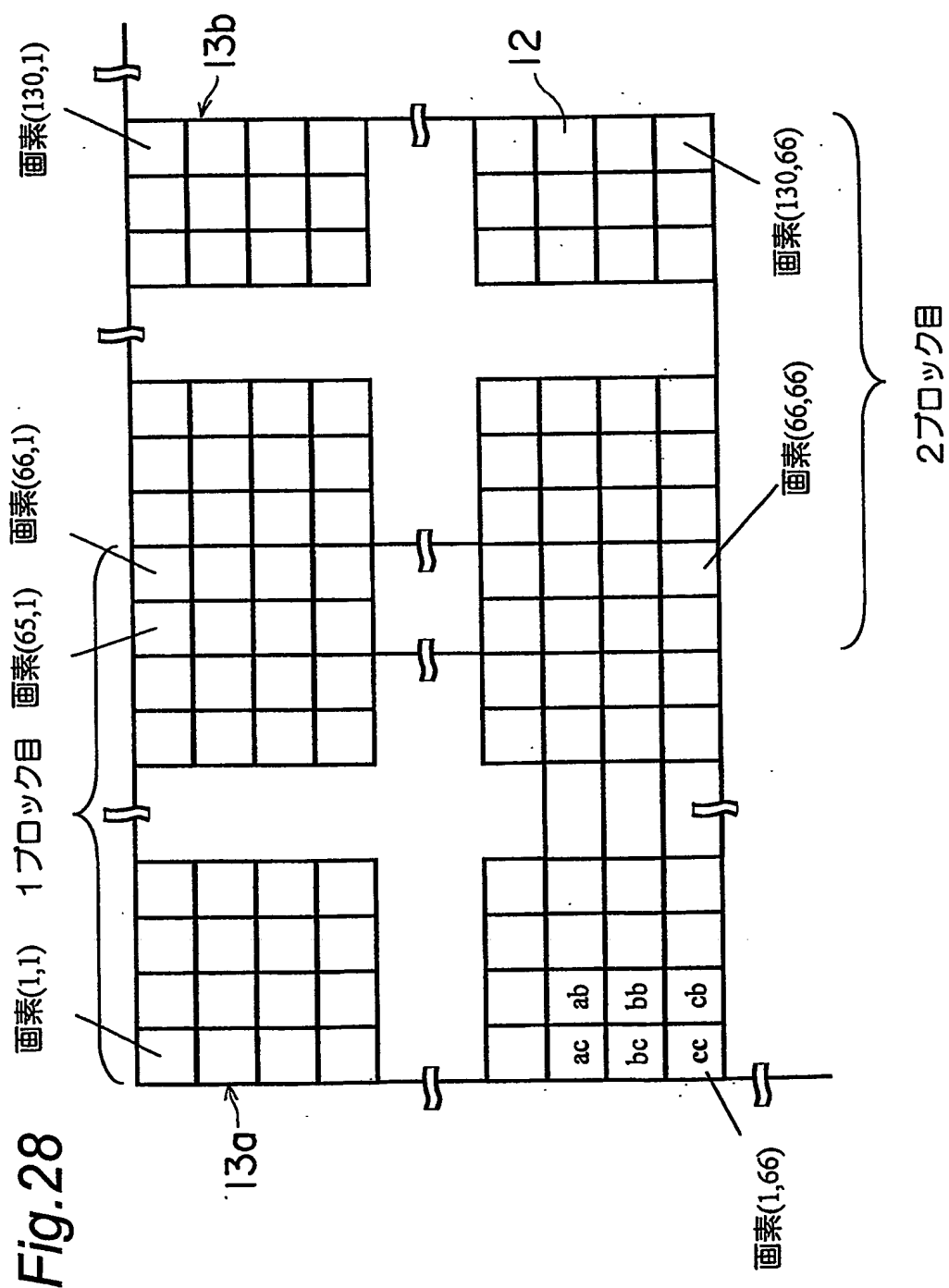


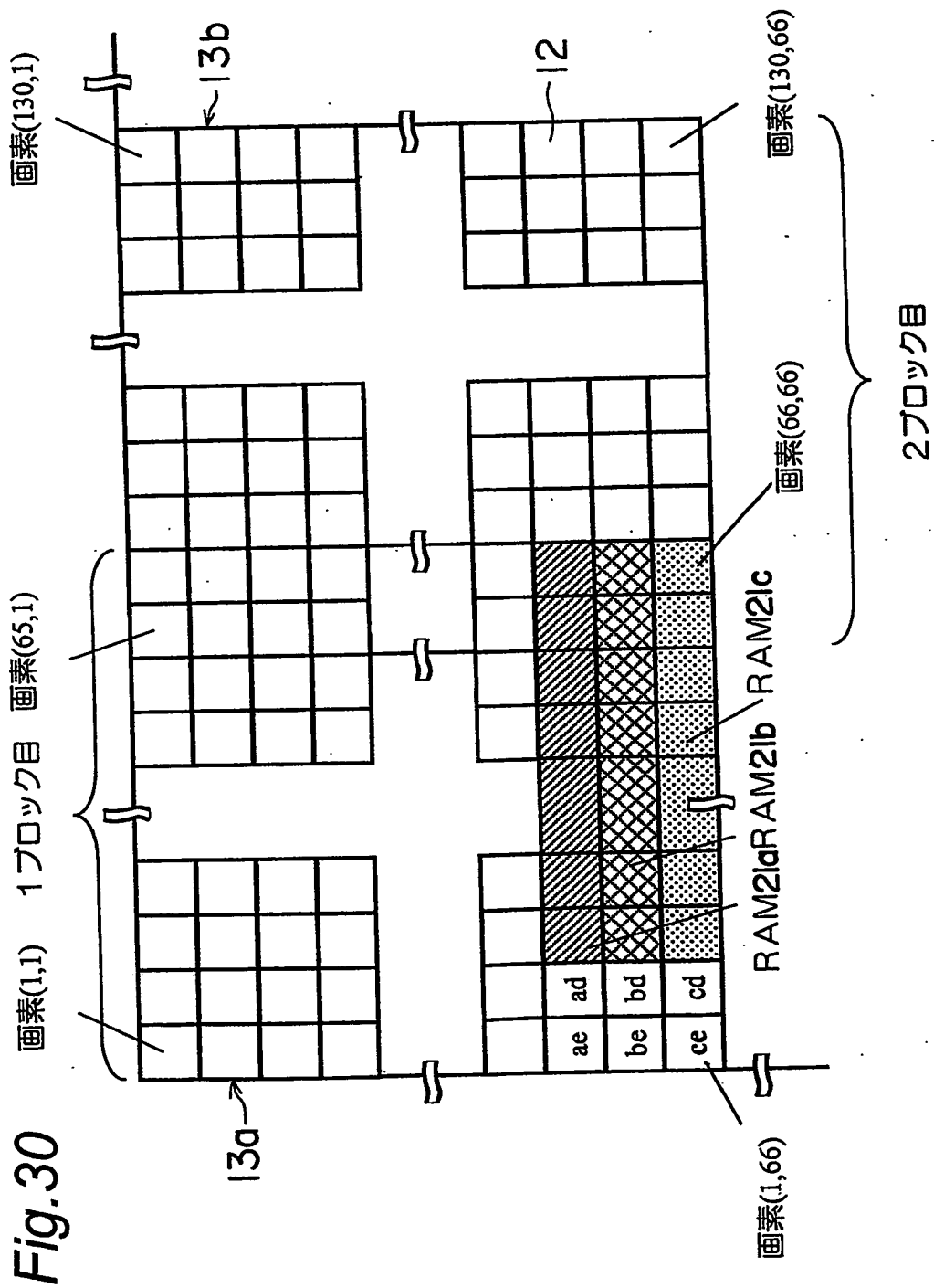


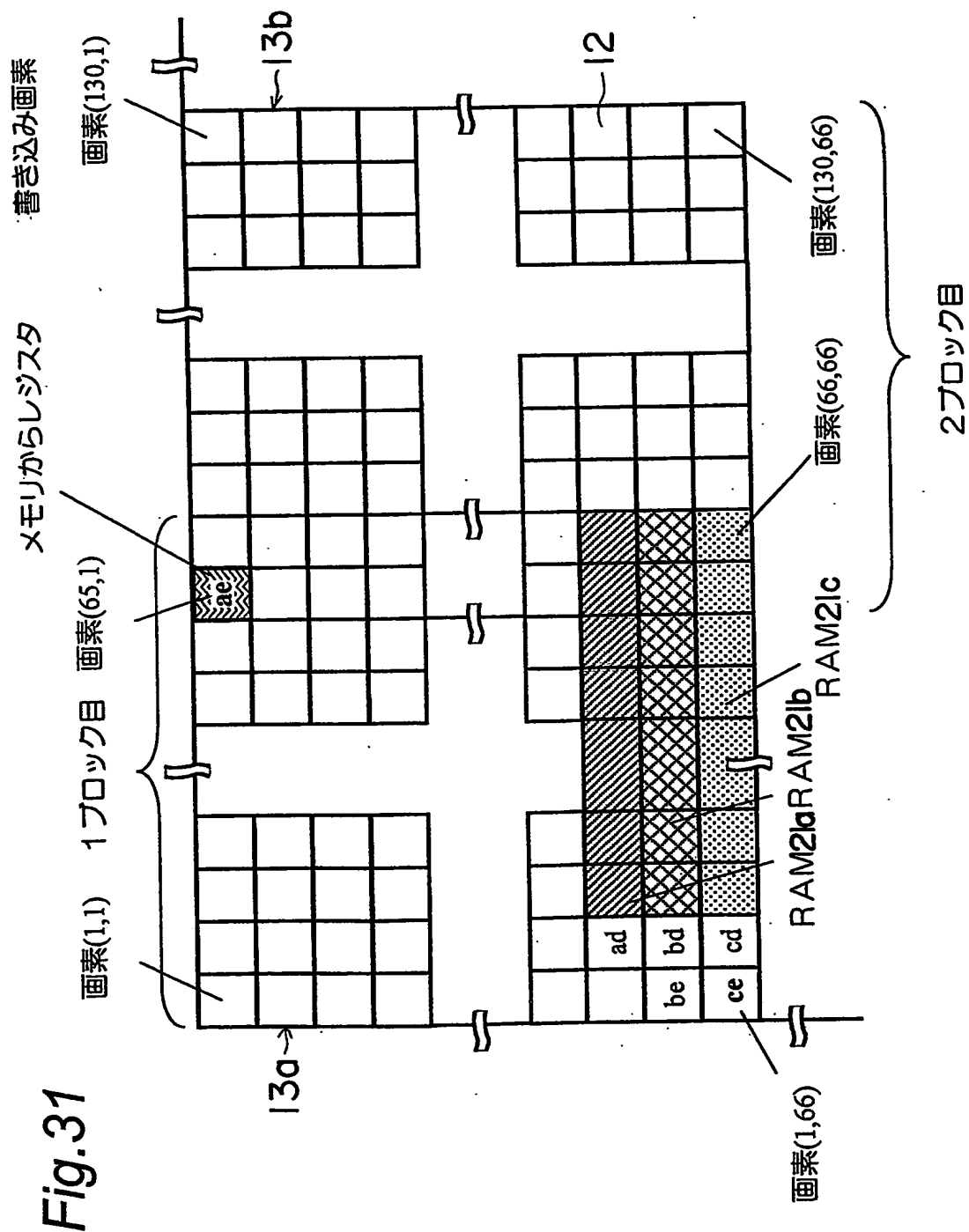


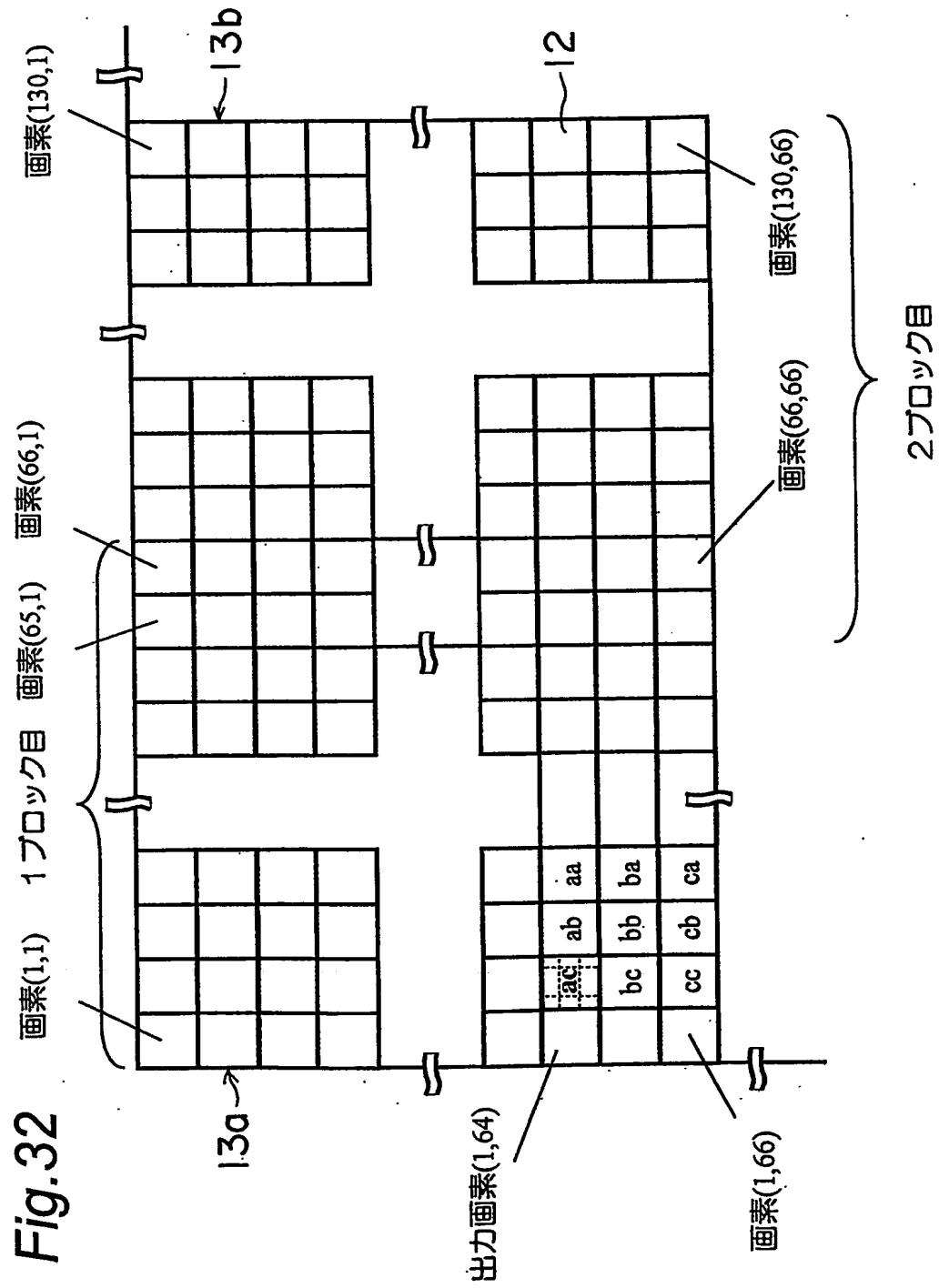


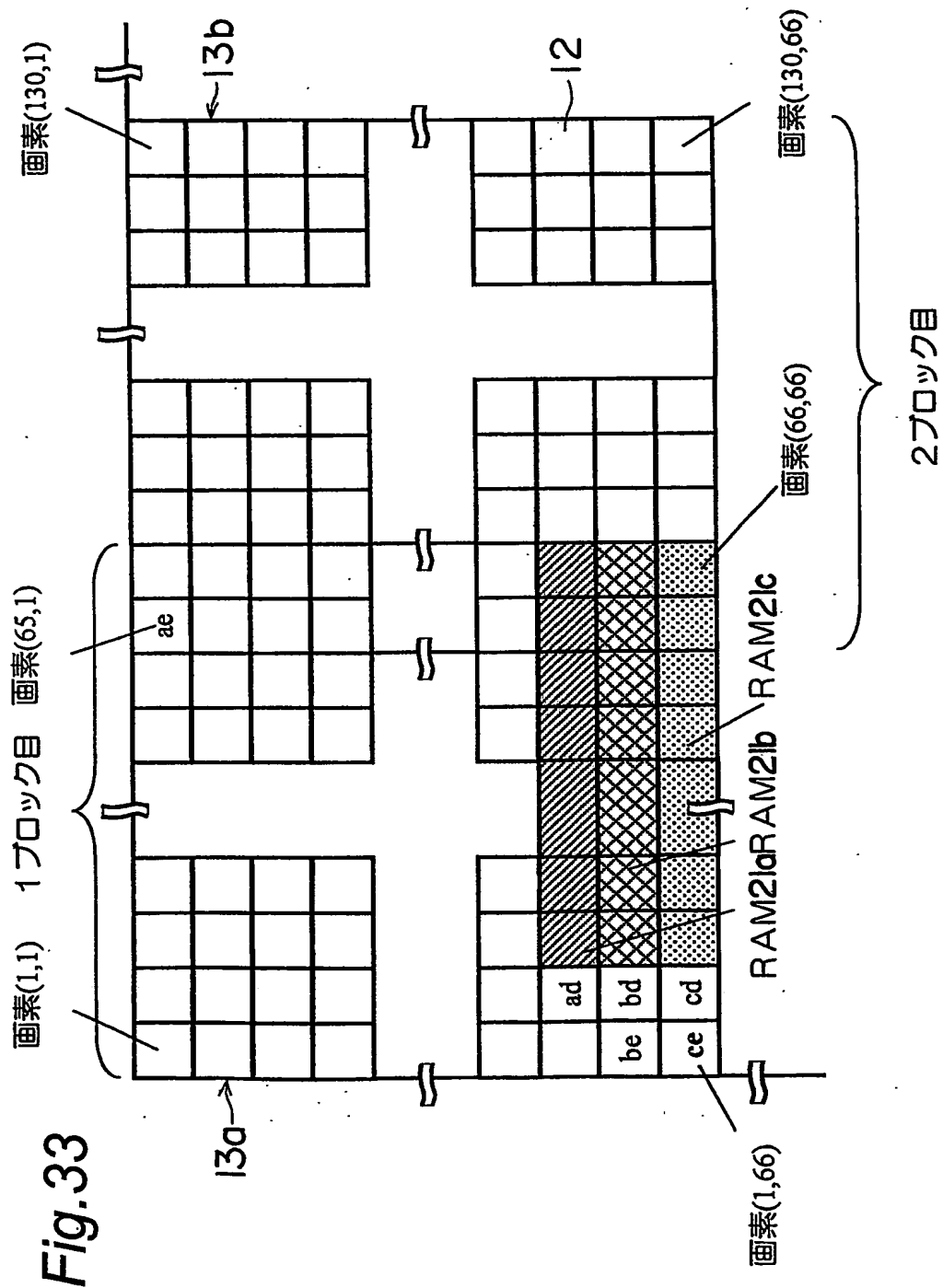












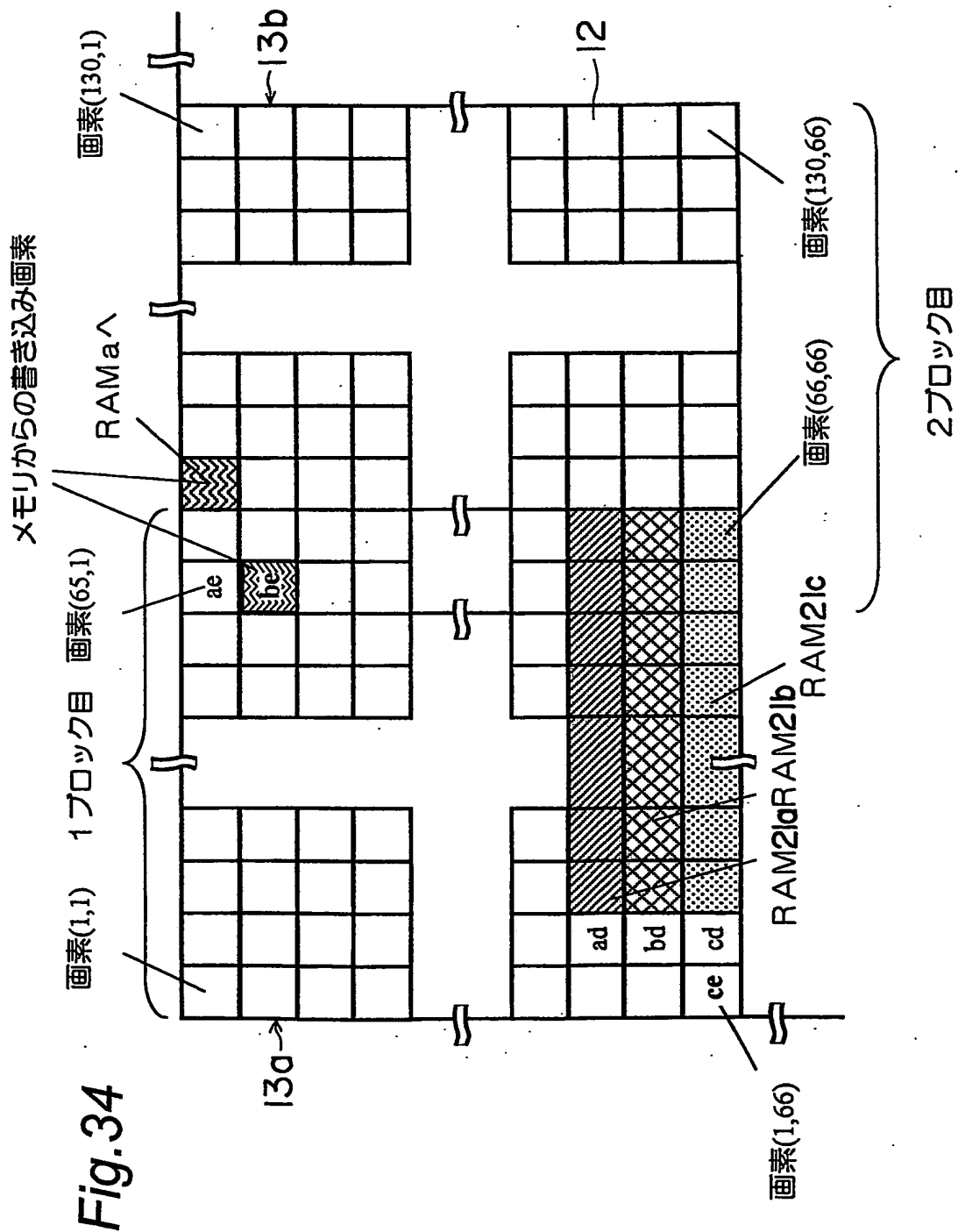
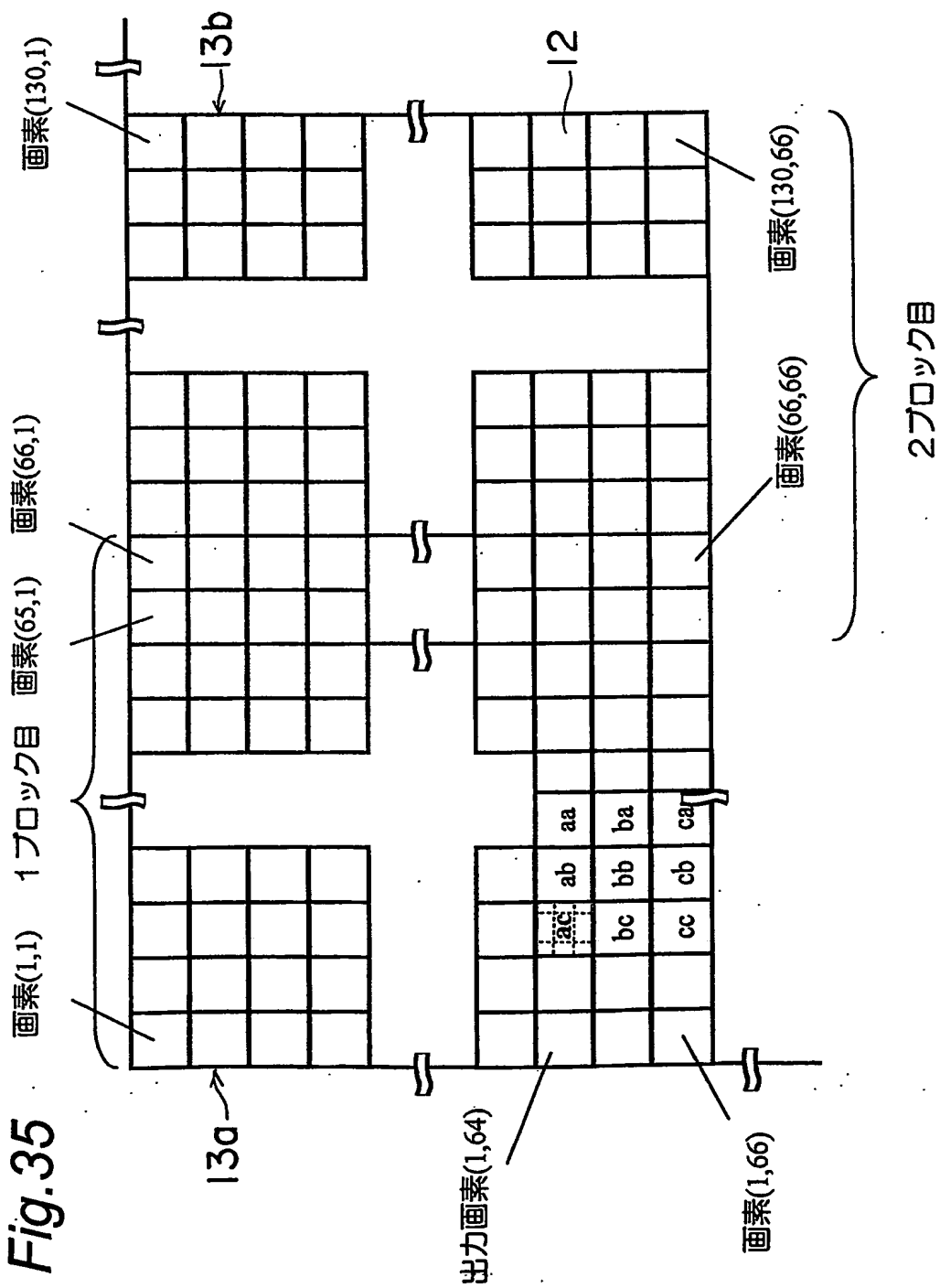


Fig. 35



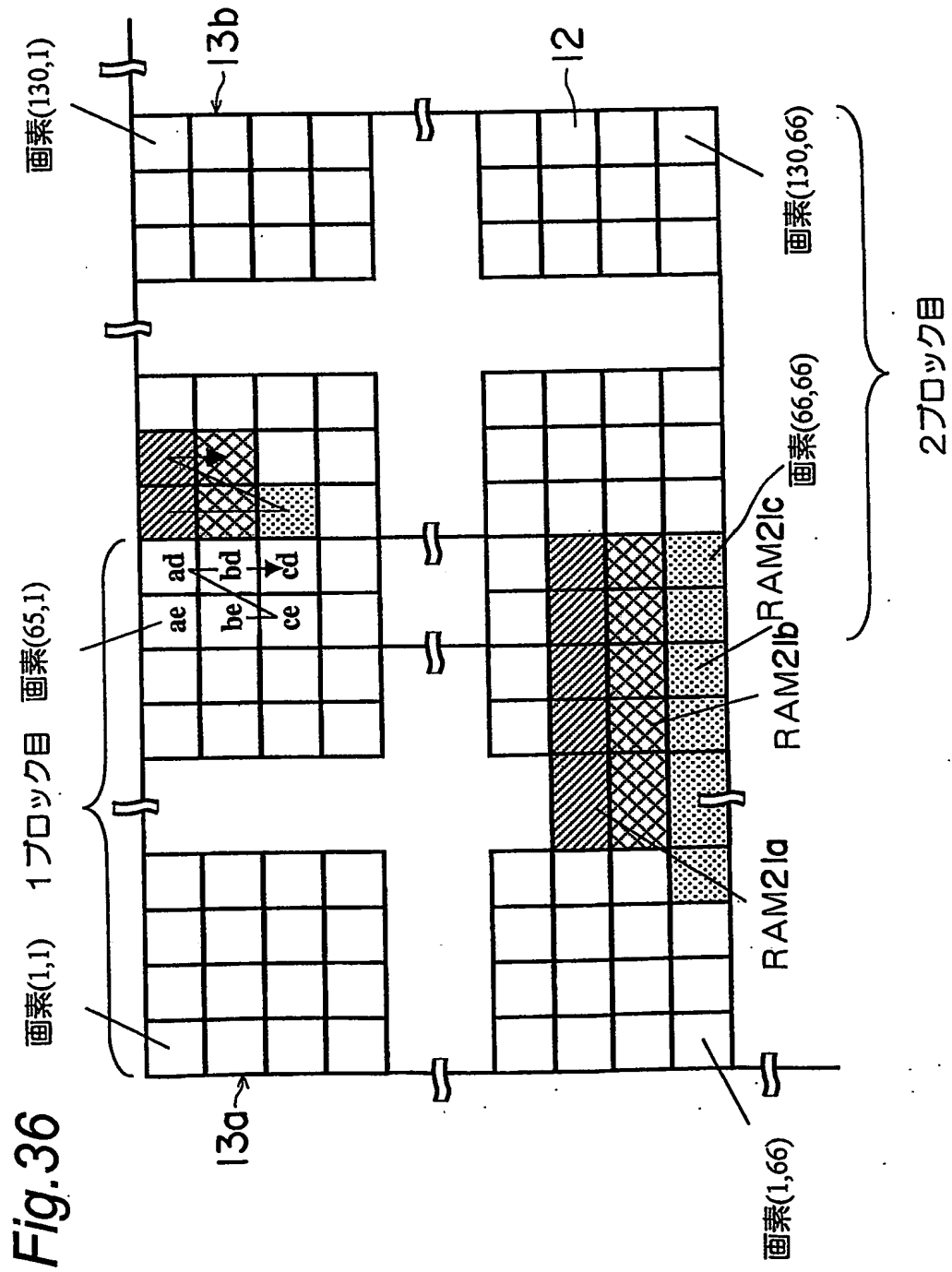


Fig. 37

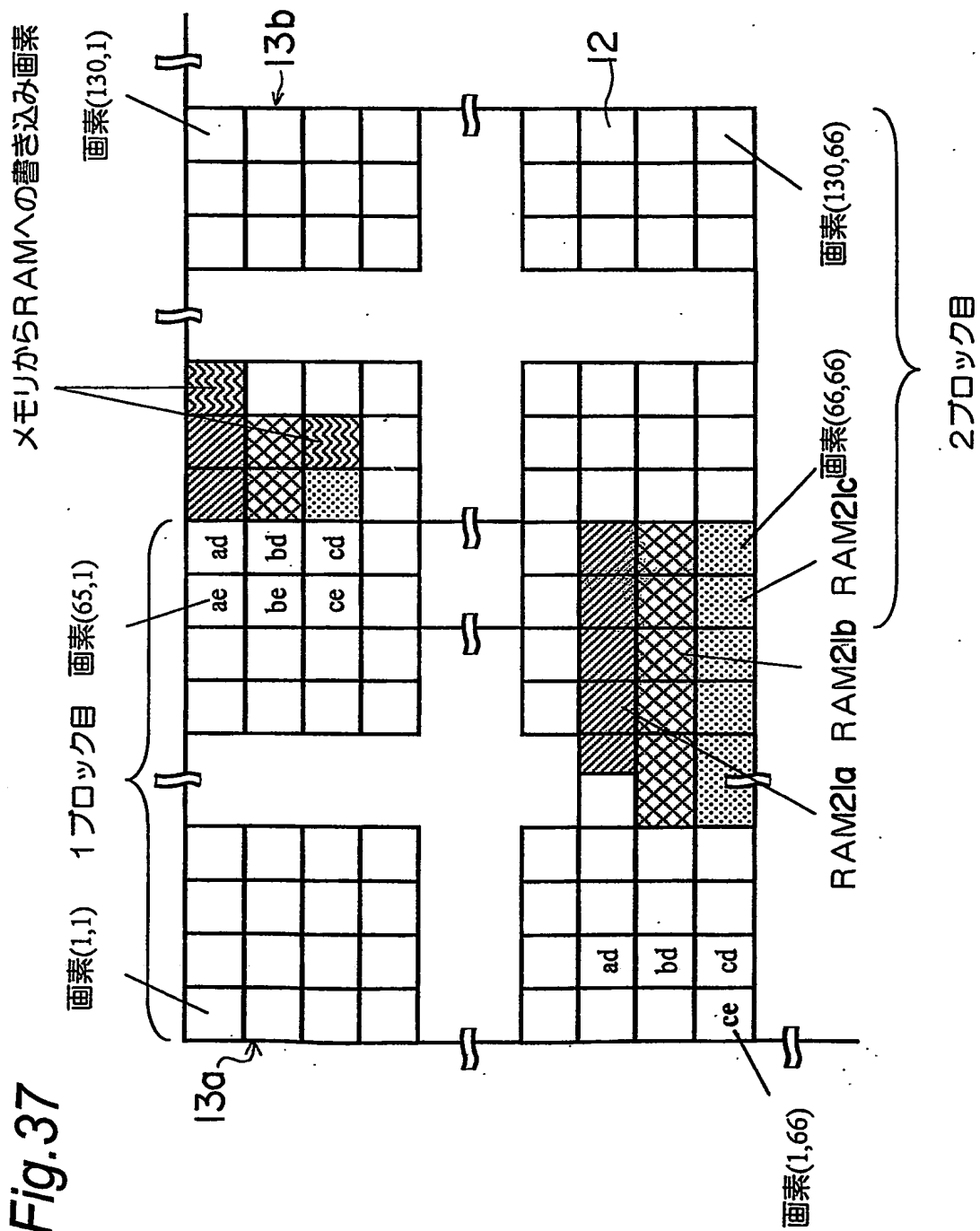


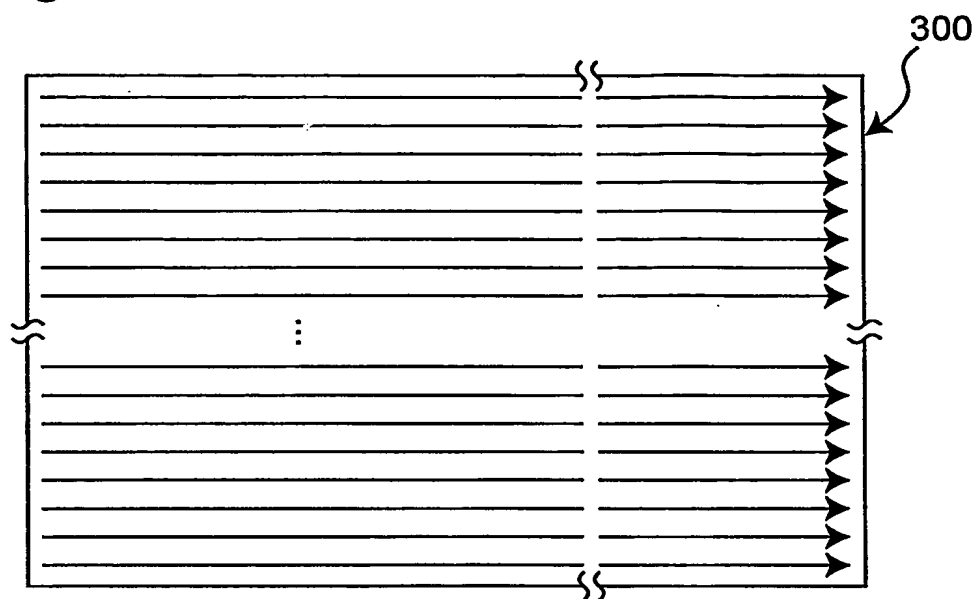
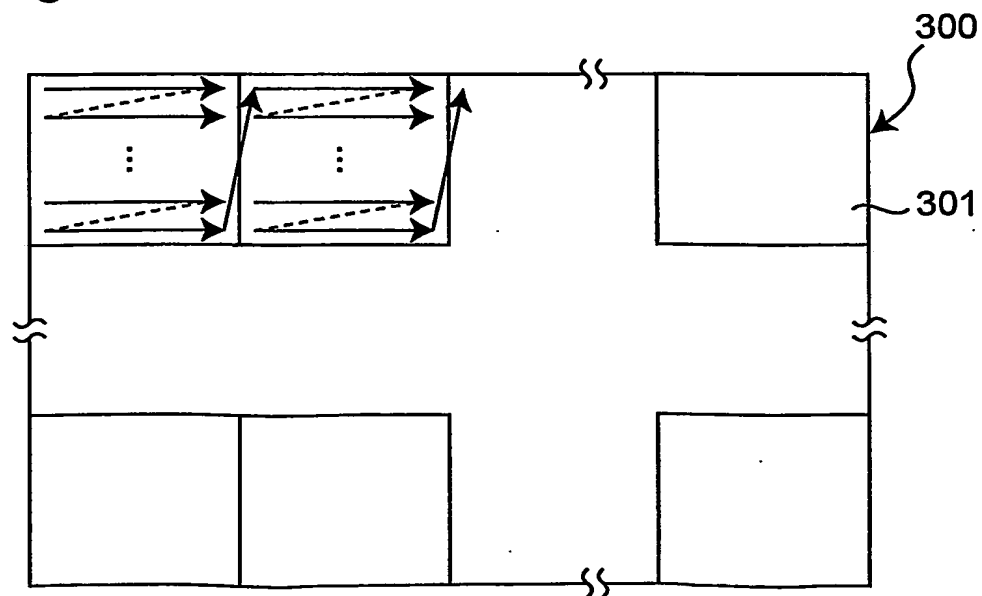
Fig.38*Fig.39*

Fig.40

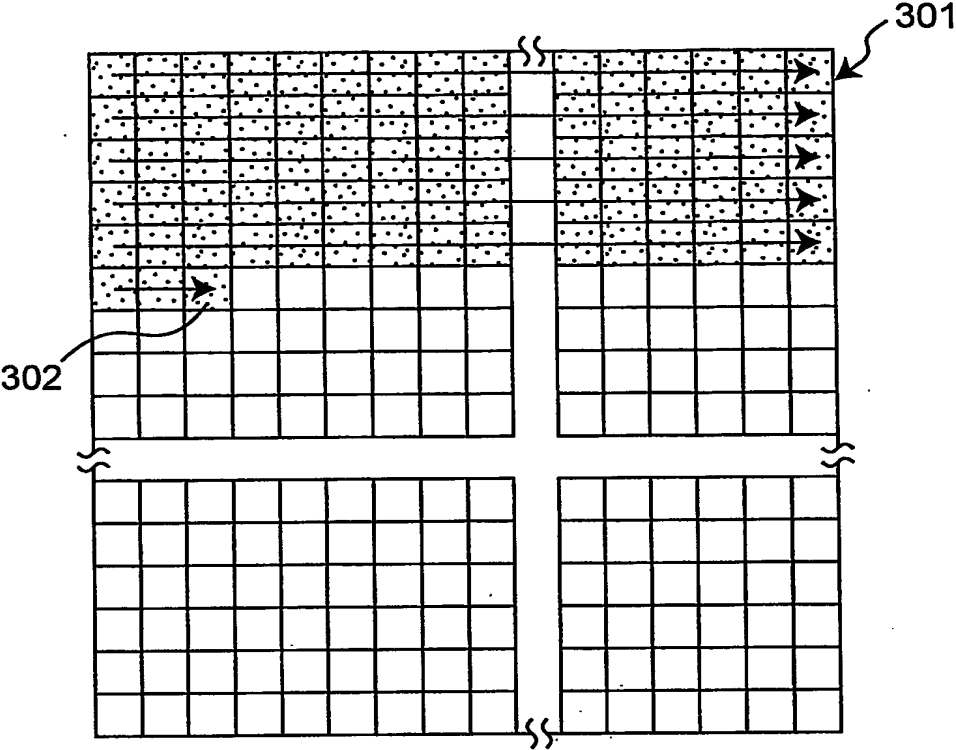
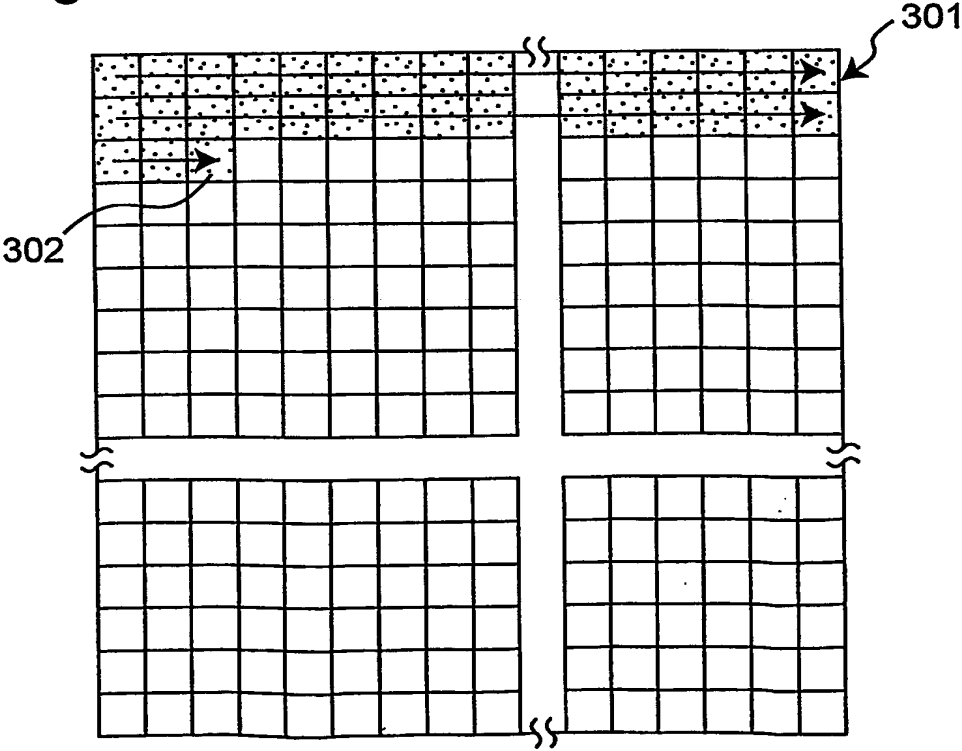


Fig.41



INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/03688

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N1/21, H04N1/41, H04N9/07, H04N5/76

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N1/21, H04N1/41, H04N9/07, H04N5/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-125565 A (Canon Inc.), 06 May, 1994 (06.05.94), Full text; Figs. 2, 4, 6 & US 5648818 A	1-7
A	JP 02-023790 A (Hitachi, Ltd.), 25 January, 1990 (25.01.90), Full text; Fig. 6 & US 5113247 A & EP 350794 A & DE 68926637 C	1-7
A	JP 2001-257886 A (Canon Inc.), 21 September, 2001 (21.09.01), Full text; Figs. 1 to 5 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
01 July, 2003 (01.07.03)

Date of mailing of the international search report
15 July, 2003 (15.07.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 H04N1/21, H04N1/41, H04N9/07, H04N5/76

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 H04N1/21, H04N1/41, H04N9/07, H04N5/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 06-125565 A (キヤノン株式会社) 1994. 5. 6, 全文, 図2, 4, 6 & US 564881 8 A	1-7
A	JP 02-023790 A (株式会社日立製作所) 1990. 1. 25, 全文, 第6図 & US 5113247 A & EP 350794 A & DE 68926637 C	1-7
A	JP 2001-257886 A (キヤノン株式会社) 2001. 9. 21, 全文, 図1-5 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

01.07.03

国際調査報告の発送日

15.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西村 仁志

5V

8522

電話番号 03-3581-1101 内線 3571